



UNIVERSIDAD
DE LOS ANDES
MERIDA VENEZUELA

F
A
C
U
L
T
A
D
E
I
N
G
E
N
I
E
R
I
A

APUNTES DE ELECTRONICA II

Asignatura: Electrónica II
Profesor: Oscar Fuentes

Escuela: ELECTRICA
Precio: Bs. 10.000
Referencia: 02 – 04 – 30 - 100
Código: E-31

MERIDA - VENEZUELA

ULA

ELECTRÓNICA II

CAPITULO I

TIRISTORES Y DISPOSITIVOS OPTOELECTRONICOS.

1.1. Tiristores	
1.1.1 Tiristor de bloqueo inverso	
1.1.2 Modelo de doble transistor	
1.1.3 Curvas características	2
1.1.4 Disparo del SCR	3
1.1.5 Potencia disipada en el SCR	6
1.1.6 Curvas de temperatura del encapsulado y de potencia disipada	5
1.1.7 Disparo indeseado del SCR.	7
1.1.8 Circuitos de disparo para el SCR	8
1.1.9 Circuitos de apagado para el SCR	9
1.2 TRIAC	10
1.2.1 Disparo de Triacs	10
1.2.2 Disparo normal	11
1.2.3 Circuito de disparo para un Triac	14
1.2.3.1 Control de fase mediante Redes RC.	14
1.2.3.2 Disparo mediante acoplados ópticos	15
1.2.3.3 Circuitos integrados de disparo	16
1.3 Diseño con SCR y TRIACs	16
1.3.1 Especificaciones SCR y TRIACs	17
BIBLIOGRAFIA	18

CAPITULO II

DISPOSITIVOS OPTOELECTRÓNICOS.

2.1 Clasificación de los dispositivos optoelectrónicos	19
2.2 Dispositivos fotorreceptores	19
2.2.1 Parámetros de una Fotorresistencia	21
2.3 Fotodiodos	22
2.3.1 Parámetros de un fotodiodo	23
2.4 Fototransistores	24
2.4.1 Parámetros de un fototransistor	24
2.5 Dispositivos fotoemisores	25
2.6 Diodos emisores de luz (LEDs)	26
2.6.1 Encendido de un LED mediante pulsos	27
2.6.2 Visualizadores (displays de 7 segmentos)	28
2.6.3 Especificaciones de LEDs y Displays de 7 segmentos	29
BIBLIOGRAFIA	31

CAPITULO III
CIRCUITOS RC Y DE CONMUTACIÓN RESPUESTA DE REGIMEN
TRANSITORIO Y PERMANENTE

Introducción

3.1 Red RC pasos bajos	32
3.1.1 Señal de entrada escalón	33
3.1.2 Señal de entrada tipo rampa	35
3.2 Red pasos altos	37
3.2.1 Señal de entrada escalón	37
3.2.2 Señal de entrada rampa	38
3.2.3 Respuesta de Redes RC a Señales Periódicas	40
3.3 Atenuadores	43
3.3.1 Respuesta al escalón	44
3.3.2 Comportamiento de una punta de prueba frente a una señal periódica.	46
3.3.3 Efecto de la impedancia del generador	47
3.4 Circuitos Conformadores de Onda con Diodos	48
3.5 Modelos del diodo	48
3.6 Circuitos recortadores	48
3.6.1 Errores de un recortador	51
3.7 Circuitos con Diodos y Capacitadores	52
3.8 Circuitos fijadores	55
3.8.1 Fijador Básico	55
3.8.2 Teorema de Fijación	60
3.8.3 Aplicación de Teorema de Fijación	62
3.8.4 Respuesta del circuito fijador a una señal rectangular en régimen permanente.	62
3.8.5 Aplicación	64
3.9 Transistor como switch	65
3.9.1 Modelos	65
3.10 Transistor como Switch con cargas inductivas	71
1.10.1 Aplicaciones	74

CAPITULO III
MULTIVIBRADORES, TEMPORICADORES Y
GENERADORES DE FUNCIONES

Introducción

4.1 Multivibradores	76
4.1.1 Multivibrador Inestable	76
4.1.1 Análisis del Circuito	76
4.1.2 Multivibrador Monoestable	78
4.1.2.1 Implementación de un multivibrador monoestable con un Comparador.	78
4.2 Circuitos temporizador	80

4.2.1 Características del temporizador 555	81
4.2.2 Aplicaciones	82
4.2.2.1 Multivibrador Monoestable	82
4.2.2.2 Multivibrador Inestable	84
4.2.3 Otras aplicaciones del temporizador 555	87
4.2.3.1 Circuito de retardo	87
4.2.3.2 Detector de pulso perdido	88
4.3 Generador de funciones	89
4.4 Multivibradores biestables con transistores	90
4.5 Multivibrador biestable integrado	92
4.5.1 Aplicaciones	93
4.6 Otros multivibradores integrados	94
4.7 Símbolos, convenciones	96
4.8 Otros tipos de flip flops	96
4.9 Multivibrador monoestable tipo 74123	103
4.10 Multivibrador inestable con transistores	103

CAPITULO Y FAMILIAS LOGICAS

Introducción	105
5.1 Modelos de transistor	105
5.2 Familias lógicas	110
5.2.1 Compuertas con diodos	111
5.2.1.1. Desventajas de las compuertas con diodos	112
5.2.2 Familias DTL	113
5.2.3 Familias RTL	114
5.2.3.1 FAN OUT	115
5.2.3.2 Características de transferencia	115
5.2.3.3 Márgenes de ruido	116
5.2.3.4 Producto Potencia tiempo de retardo	119
5.2.4 Familia TTL	119
5.2.4.1 Compuerta TTL Básica	119
5.2.4.2 Compuerta TTL Standard	123
5.2.4.3 Familia TTL de alta velocidad	129
5.2.4.4. Familia TTL Schottky	130
5.2.4.5 Compuertas tipo Low Power Schottky	132
5.2.4.6 Compuerta TTL de tres estados	133
5.2.4.7 Compuertas TTL colector abierto	134
5.2.5 Familias CMOS	135
5.2.5.1 Características de transferencia	136
5.3 Interfaz entre TTL y CMOS	138
5.4 Interfaz entre CMOS y TTL	139

CAPITULO IV

INTERFACES ANALOGICAS-DIGITALES

Introducción

6.1 Conversión digital/analógica	140
6.1.1 Convertidos D/A básico (código binario)	140
6.1.1.2 Definiciones. A	143
6.1.2 Convertidos D/A binario de red	145
6.1.3 Convertidos BCD básico	147
6.1.4 Convertidos BCD de red en escalera	147
6.1.5 Características ideal de un convertidor D/A	148
6.1.6 Errores en convertidores D/A	149
6.1.7 Velocidad en un convertidor D/A	152
6.1.8 Clasificación de los convertidores D/A	153
6.2 Convertidos analógico /digital	155
6.2.1 Convertidor tipo Flash	155
6.2.2 Convertidores A/D de aproximaciones sucesivas	157
6.2.3 Convertidor de rampa simple (discreta)	159
6.2.4 Convertidos de doble rampa	159
6.2.5 Convertidos de rampa continua (ventana)	162
6.2.6 Convertidor de voltaje a frecuencia	163
6.2.7 Errores en convertidores A/D	164
6.2.8 Especificaciones	165
6.2.9 Selección de convertidores A/D	167
6.2.10 Uso de circuito de muestreo y retención	168
6.2.11 Circuitos de muestreo y retención	169
6.2.12 Circuitos de muestreo y retención básico	170
JFET como switch	170
6.2.13 Especificaciones de circuitos de muestreo y retención.	172
6.2.14 Error total del circuito de muestreo y retención	174
6.2.15 Criterios de selección de circuitos de muestreo y retención	174

APUNTES DE ELECTRONICA II
PRIMERA PARTE

Profesor Oscar Fuentes Caro

ENERO, 1995

Esta primera versión de apuntes de Electrónica II ha sido elaborada para cubrir las necesidades de los estudiantes de Electrónica II. Estos apuntes han sido sometidos a un proceso de revisión por el Profesor Carlos Castillo a quien agradezco su esfuerzo. Igualmente, se agradece hacer llegar al autor las observaciones que pudieran contribuir a mejorar una próxima versión.

Oscar Fuentes Caro.

TEMA I

TIRISTORES Y DISPOSITIVOS OPTOELECTRONICOS

Introducción. En este capítulo se describe el funcionamiento, las principales características y aplicaciones más comunes de rectificadores controlados basados en semiconductores y de dispositivos optoelectrónicos. Los rectificadores controlados son ampliamente usados en procesos de conversión de energía (control de velocidad de motores, calentamiento por inducción, rectificadores, convertidores dc/ac y muchos otros). Por su parte, los dispositivos optoelectrónicos pueden ser usados en aplicaciones tan diversas como la aislación de circuitos eléctricos y la medición de intensidades luminosas.

TIRISTORES. Los tiristores son dispositivos semiconductores de cuatro capas que pueden operar en dos estados: un estado de corte y otro de conducción. La familia de los tiristores incluye dispositivos de dos, tres y cuatro electrodos con un rango muy amplio de capacidades de manejar corrientes (mA a KA). La familia incluye algunos dispositivos con circulación unidireccional de corriente tales como el SCR (tiristor de bloqueo inverso), el GTO (switch de apagado por puerta), LASCR (SCR activado por luz), MOSSCR (SCR con control por puerta). Otros dispositivos son capaces de controlar corrientes bidireccionales: el TRIAC (triodo conmutador de AC) y el SBS (switch bilateral de silicio). En esta sección se describirán las características y principales aplicaciones de los dispositivos de mayor uso: SCR y TRIAC.

Tiristor de bloqueo inverso. SCR. El símbolo y la estructura de un SCR se muestran en la siguiente figura:

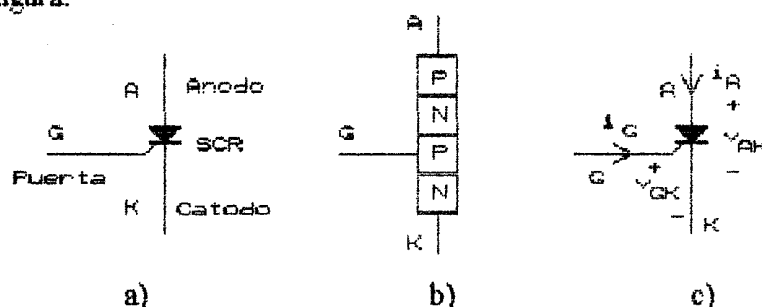


Figura 1. SCR: a) Símbolo, b) estructura, c) corrientes y tensiones.

El dispositivo tiene tres electrodos: Anodo (A), Cátodo (K) y Puerta (G). El SCR, bajo el control de la puerta, es capaz de conducir corriente en la dirección de la punta de flecha, esto es desde A hacia K.

Modelo de doble transistor. El funcionamiento de un SCR puede ser explicado en forma cualitativa dividiendo su estructura PNPN en dos partes, como se muestran en la figura.

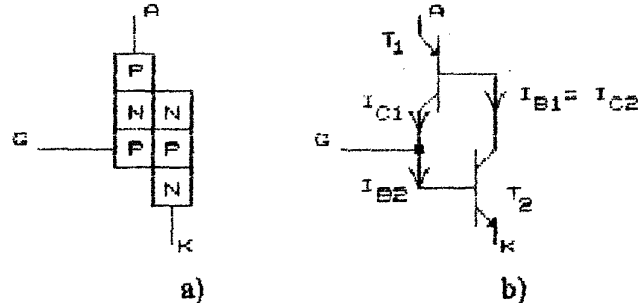


Figura 2. SCR: a) Estructura dividida, b) modelo de doble transistor.

En el modelo de doble transistor, suponiendo que el dispositivo está conectado externamente a un circuito que polariza positivamente al terminal de ánodo respecto al terminal de cátodo, si el transistor T_2 está inicialmente cortado, su corriente de colector será cero forzando también el corte en el transistor T_1 . Esto es, la corriente en los terminales del SCR será cero y el dispositivo estará en estado de bloqueo.

Si se inyecta una corriente en el terminal de puerta (base de T_2), esta corriente de puerta será amplificada por T_2 cuya corriente de colector será extraída de la base de T_1 . En este transistor se producirá nuevamente amplificación de la corriente y su posterior reinyección en la base de T_2 . El proceso es regenerativo y terminará con T_1 y T_2 saturados. El SCR habrá entrado al estado de conducción.

Curvas características. El circuito para obtener las curvas características de un SCR se muestra en la figura 3a.

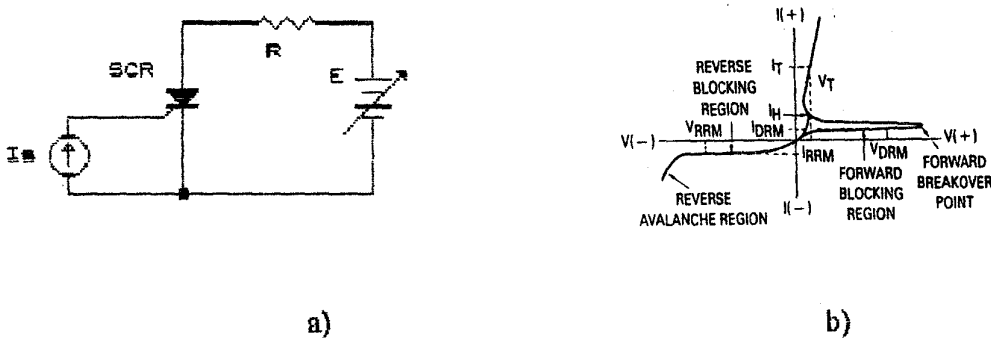


Figura 3 SCR: a) Circuito para la obtención de las curvas características, b) curvas características.

La característica V/I del SCR se muestra en la figura 3b. En el tercer cuadrante el comportamiento del dispositivo es similar al comportamiento de un diodo. Esto es, para tensiones negativas entre A y K, la corriente de ánodo i_A es negativa y tiene valores pequeños (zona de bloqueo inverso). En este cuadrante, al igual que en un diodo, si la magnitud de la tensión inversa aplicada entre A y K excede un cierto valor (V_{BR}), la magnitud de la corriente i_A aumenta rápidamente. En la hoja de datos se especifica el

valor para la máxima tensión, V_{BR} que puede ser aplicada al dispositivo sin que éste se dañe. Algunos fabricantes llaman a esta tensión V_{RRM} .

En el primer cuadrante, el comportamiento del SCR depende de la magnitud de la corriente (I_G) aplicada a la puerta. Para $I_G=0$, la característica V/I tiene un forma parecida a la del tercer cuadrante, esta vez con una tensión de bloqueo directo V_{BF} , también llamada V_{DRM} . Este valor se incluye también en la hoja de datos y, frecuentemente, coincide con V_{RRM} . La similitud con la región inversa termina aquí pues si se hace aumentar la corriente i_A por encima del valor correspondiente a V_{BF} , la tensión entre A y K disminuye muy rápidamente hasta alcanzar el valor V_H . Posteriormente, al seguir aumentando la corriente i_A , la caída entre A y K se mantiene relativamente constante y se dice que el SCR está encendido o en estado de conducción. Si el SCR ha entrado en estado de conducción, se mantendrá en este estado hasta que la corriente i_A caiga por debajo del valor I_H . Si el SCR no está en estado de conducción, se dice que está apagado o en estado de bloqueo (directo o inverso).

Si la corriente de puerta es $I_G > 0$, la forma de la curva es parecida a la forma de la curva correspondiente a $I_G = 0$. Sin embargo, la tensión de ruptura directa o máximo valor que puede alcanzar la tensión v_{AK} antes de caer al valor V_H (y entrar en el estado de conducción) es menor que V_{BF} . Para valores de corriente en la puerta cada vez más grandes, la tensión de ruptura directa se hace cada vez menor hasta que, para un cierto valor de corriente de puerta $I_G = I_{GT}$, llamada corriente umbral de puerta, la tensión de ruptura toma un valor muy próximo a V_H . La tensión que se produce entre puerta y cátodo para la corriente umbral de puerta, I_{GT} , se llama voltaje de gatillado de puerta, V_{GT} . Los valores de I_{GT} y V_{GT} se incluyen en la hoja de datos del dispositivo.

Disparo del SCR. En aplicaciones prácticas, si un SCR está en estado de bloqueo y se le desea colocar en estado de conducción, se debe inyectar a la puerta una corriente con una magnitud igual o superior a I_{GT} durante un intervalo de tiempo que deberá tener una duración que exceda un cierto valor mínimo. El SCR entrará en conducción si, simultáneamente, la tensión aplicada al circuito A-K es positiva y tiene una magnitud suficiente para que la corriente de ánodo exceda I_H . Al entrar el SCR en conducción, la puerta pierde totalmente el control sobre la corriente i_A recuperándolo solamente después que el SCR vuelva al estado de bloqueo y esto ocurrirá, solamente, si el circuito permite que la corriente de ánodo se haga menor que I_H .

Ejemplo. En el circuito excitado por dc mostrado en la figura 4, el SCR está inicialmente en estado de bloqueo ($i_A = 0$). Se observa que al aplicar el pulso de corriente en la puerta en t_1 , éste no produce efecto pues su amplitud está muy por debajo de la amplitud necesaria (I_{GT}) para llevar al SCR al estado de conducción. En cambio, el pulso de corriente en t_2 hará conducir al SCR. Si la caída entre A y K en conducción es V_H , la corriente I_A estará dada por:

$$i_A = \frac{E - V_H}{R}$$

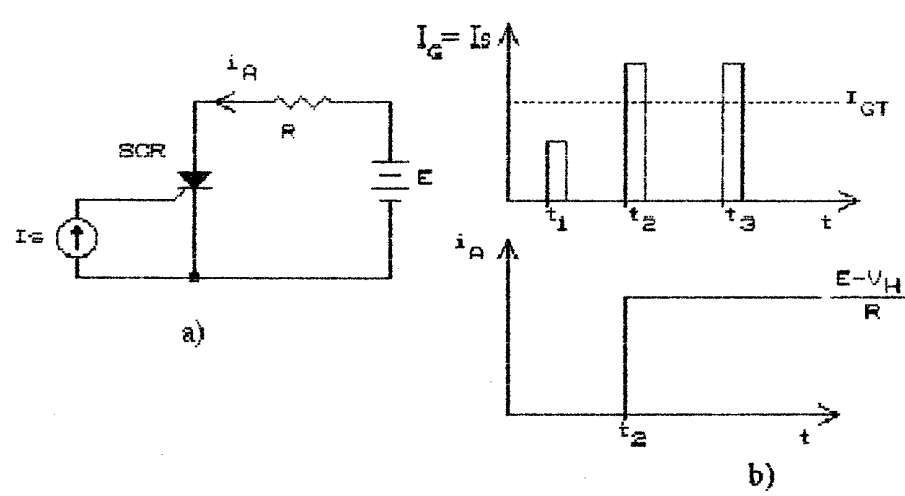


Figura 4. Disparo de un SCR. Excitación dc del circuito A-K.
a) Circuito, b) formas de onda.

Si este valor de i_A es mayor que I_H (corriente de mantenimiento), el SCR se mantendrá en el estado de conducción y la puerta perderá el control sobre la corriente i_A . Así, el pulso de corriente de puerta que ocurre en t_3 no tiene ningún efecto sobre la corriente de ánodo. En este circuito, para llevar nuevamente al SCR al estado de bloqueo se deberá abrir el switch S o, alternativamente, aumentar el valor de R de modo que la corriente I_A se haga menor que I_H .

Ejemplo: En el circuito de la figura se muestra la forma de onda de la tensión a través del SCR para una tensión de alimentación sinusoidal y un tren de pulsos aplicados a la puerta.

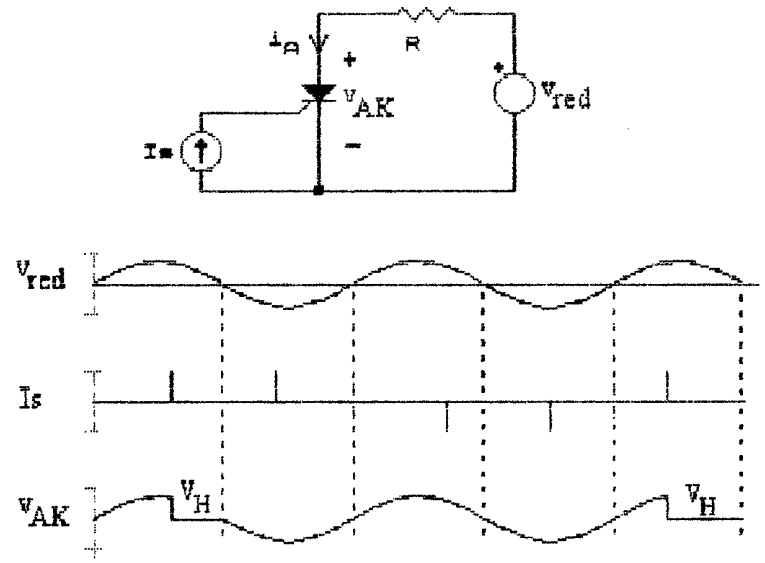


Figura 5. Excitación ac: a) circuito, b) formas de onda.

En la figura anterior se observa que cuando el SCR está en estado de bloqueo la corriente es cero y la tensión de alimentación aparece a través del SCR. En cambio, cuando el SCR conduce, la caída v_{AK} es aproximadamente constante e igual V_H . El encendido del SCR sólo se produce si la tensión de ánodo es positiva en el instante en que se inyecta una corriente positiva a la puerta de suficiente amplitud. En ningún caso la aplicación de pulsos negativos a la puerta producirá el disparo del SCR.

Ejemplo. En el circuito de la figura 6, determinar la corriente media y la corriente eficaz en la carga. La caída en el SCR en conducción es $V_H = 1$ volt. La fase de los pulsos de disparo es $\alpha = 90^\circ$.

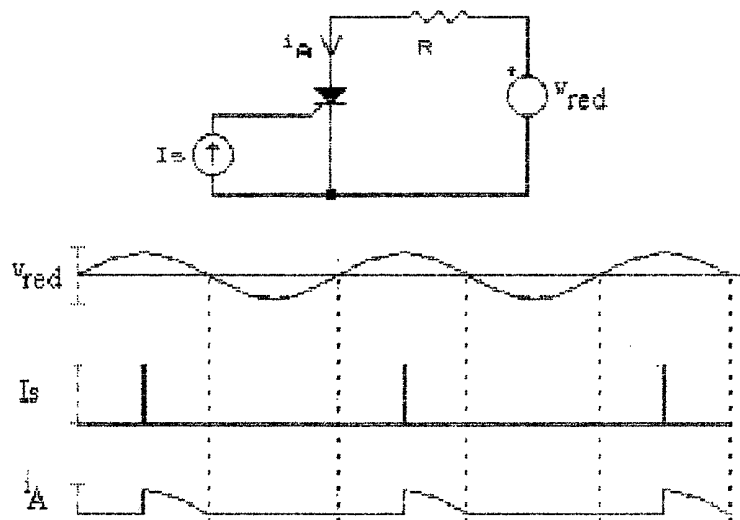


Figura 6. Rectificador controlado con carga. Circuito y formas de onda.

Durante el intervalo de conducción del SCR, la corriente está dada por:

$$i = \frac{V_m \operatorname{sen}(wt) - V_H}{R_L}, \quad \alpha \leq wt \leq \beta$$

$$i = 0, \quad 0 \leq wt \leq \beta, \quad \beta \leq wt \leq 2\pi$$

En las relaciones anteriores, β , la fase de apagado del SCR es:

$$\beta = 180 \cdot \operatorname{arc} \operatorname{sen} \left(\frac{V_H}{V_m} \right) = 180 \cdot \operatorname{arc} \operatorname{sen} \left(\frac{1}{110\sqrt{2}} \right) = 180 \cdot 0.37 = 179.63^\circ$$

Esto es, durante el intervalo de conducción del SCR, la corriente puede ser aproximada por:

$$i = I_p \operatorname{sen}(wt), \quad \alpha \leq wt \leq \beta$$

$$\text{donde: } I_p = \frac{V_m \text{ sen } (\omega t)}{R_L}$$

Además, para facilitar los cálculos y sin que se cometa un error importante, puede hacerse la aproximación $\beta \approx 180^\circ$.

Corriente media. La corriente media es:

$$I_{DC} = \frac{1}{2\pi} \int_0^{2\pi} i \, d\omega t = \frac{1}{2\pi} \int_\alpha^\pi I_p \text{ sen } \omega t \, d\omega t = \frac{I_p}{2\pi} (1 + \cos \alpha)$$

reemplazando valores se halla $I_{DC} = 2.48$ ampere

Corriente eficaz. La corriente rms está dada por:

$$I_{rms} = \sqrt{\frac{1}{2\pi} \int_0^{2\pi} i^2 \, d\omega t} = \sqrt{\frac{1}{2\pi} \int_\alpha^\pi I_p^2 \text{ sen}^2(\omega t) \, d\omega t} = \sqrt{\frac{I_p^2}{2\pi} \left[\frac{1}{2}(\pi - \alpha) + \frac{1}{4} \text{ sen } 2\alpha \right]}$$

Esta expresión al ser evaluada para los valores del problema produce $I_{rms} = 5.51$ ampere

Potencia en la carga. La potencia en la carga es:

$$P(R_L) = I_{rms}^2 R_L = 304 \text{ W}$$

Potencia disipada en el SCR. La potencia media disipada en el SCR es:

$$P_D = \frac{1}{2\pi} \int_0^{2\pi} v_{AK} i \, d\omega t = \frac{1}{2\pi} \int_\alpha^\pi V_H I_p \text{ sen } (\omega t) \, d\omega t = V_H I_{DC}$$

Al reemplazar valores se encuentra $P_D = 2.23$ W. En este cálculo se ha supuesto que la caída de tensión en el SCR es constante (1 volt).

Curvas de temperatura del envase y de potencia disipada. Algunos fabricantes publican curvas de la temperatura del envase y de la potencia disipada en función de la corriente media para varios ángulos de conducción. La potencia disipada por un SCR puede ser estimada con mayor precisión utilizando estas curvas. En la siguiente figura se

muestran estas curvas para un SCR tipo MCR3818.

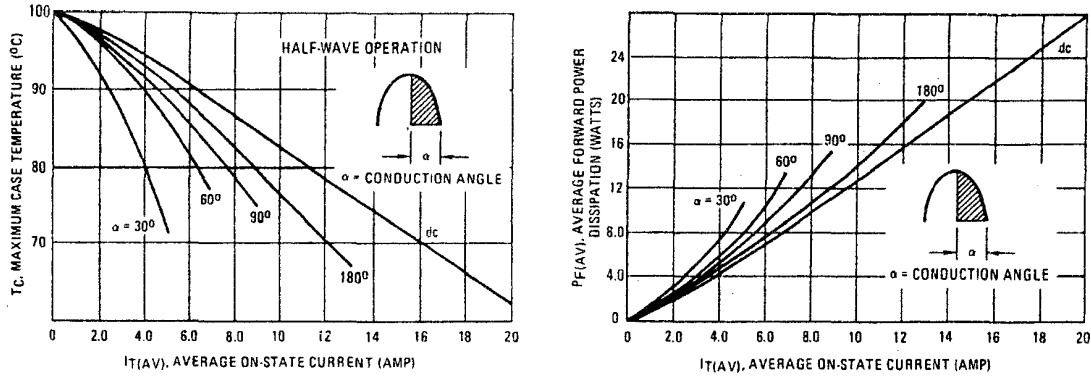


Figura 7a) Temperatura en el encapsulado y b) disipación en función de la corriente media de ánodo. MCR3818.

Si, por ejemplo, la corriente media es $I_A(dc) = 6$ amp., la forma de onda de la corriente es senoidal y la conducción ocurre desde $\pi/6$ hasta π . De la figura 7b se obtiene $P_D = 8.5$ watt. Con estos datos, es posible también hallar en la figura 7a, $T_c = 87^\circ$. Esta es la máxima temperatura que puede permitirse que alcance el encapsulado. Los valores de P_D y T_c son necesarios para el cálculo del disipador.

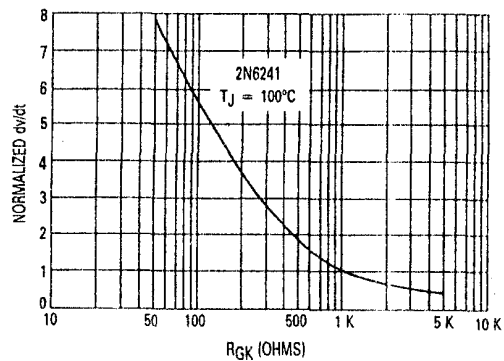
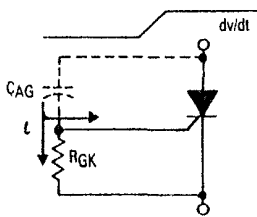


Figura 8. Disparo espontáneo de un SCR, b) variación de $d(V_A)/dt$ admisible con R_{GK} .

Disparo indeseado del SCR. Si se produce una variación brusca en la tensión de ánodo de un SCR, éste puede encenderse espontáneamente debido al flujo de carga hacia la capacitancia existente entre A y G, originado por la variación. El fabricante especifica un cierto valor máximo para $d(V_A)/dt$. Si este valor no es excedido, el fabricante garantiza que no se producirá un disparo espontáneo. Si se coloca una resistencia entre G y K, el valor de ésta afectará la magnitud de $d(V_A)/dt$ admisible, esto es el valor que

no producirá un disparo espontáneo en el SCR. Este efecto se muestra en la figura 8.

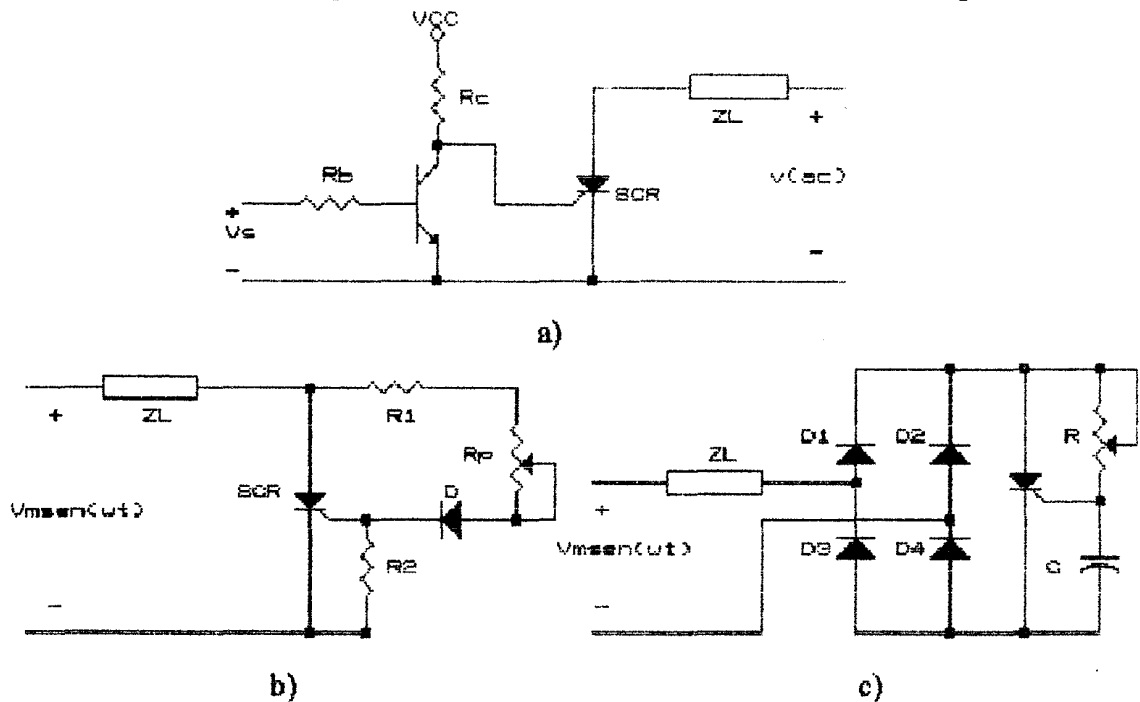


Figura 9. Circuitos de disparo. a) mediante transistor, b) con red resistiva, c) con red RC.

Circuitos de disparo para el SCR. En la figura 9 se muestra tres circuitos de disparo para un SCR. En el circuito de la figura 9a, la señal de entrada V_s y la resistencia de base del transistor R_b deben estar dimensionadas de modo que el transistor opere en saturación y corte. Si la señal de entrada tiene un nivel alto, el transistor se saturará y su tensión colector emisor tendrá un nivel bajo, insuficiente para inyectar corriente a la puerta del SCR. En cambio, en el nivel bajo de la entrada la corriente de puerta será:

$$I_G = \frac{V_{CC} - v_G}{R_c}$$

Si esta corriente supera el valor umbral I_{GT} con $v_G = V_{GT}$ y, además, la tensión aplicada al circuito A-K es positiva y suficiente para que la corriente de ánodo supere el valor I_H , el SCR entrará en conducción.

La corriente de puerta se obtiene directamente de la red en el circuito de la figura 9b. El diodo D y la resistencia R_2 permiten evitar que se produzca una tensión negativa entre la puerta y el cátodo del SCR. El valor de la corriente de mantenimiento, I_H , así como también el valor admisible de $d(V_A)/dt$ dependen del valor de R_2 . Generalmente, se usa $R_2 = 1\text{ K}$, de modo que la pequeña corriente que circula por esta resistencia, $v_G/1\text{K}$, puede ser ignorada en el cálculo de i_G . La resistencia total entre ánodo y puerta debe estar dimensionada de modo que, cuando la tensión de la red pase por su pico la

corriente en la puerta no exceda el valor I_{GFM} , máximo valor de corriente que puede aplicarse a la puerta sin que el SCR se dañe. Así, ignorando la caída en la carga, debe verificarse:

$$R_1 > \frac{V_m - (V_{GT} + V_{diodo})}{I_{GFM}}$$

La fase de disparo del SCR puede llegar a 90° si se verifica que:

$$R_1 + R_p \geq \frac{V_m - (V_{GT} + V_{diodo})}{I_{GT}}$$

La fase mínima de disparo será:

$$\alpha = \arcsen \frac{V_{GT} + V_{diodo} + I_{GT} R_1}{V_m}$$

En el circuito rectificador de onda completa de la figura 9c, en el semiciclo positivo de la red la conducción ocurre a través de la carga, D_1 , el SCR y D_4 . En cambio, en el semiciclo negativo el circuito se cierra a través de D_2 , el SCR, D_3 y la carga. La tensión en la carga, V_L , puede ser variada mediante el potenciómetro P. El instante, en cada semiciclo, en que la tensión aplicada a la puerta alcanza una amplitud suficiente para producir el disparo depende de la constante de tiempo $R_p * C$. El comportamiento altamente no lineal del circuito de disparo impide obtener expresiones fáciles de usar para la determinación de R y C. En la práctica, se usan las siguientes relaciones empíricas:

$$RC > 25 T; \quad R < \frac{V_m - V_{GT}}{I_{GT}}$$

Circuitos de apagado para SCR. En circuitos alimentados por dc no es fácil sacar del estado de conducción al SCR. En la figura 10 se muestra un circuito que permite colocar a un SCR en el estado de bloqueo, usando algunos elementos auxiliares.

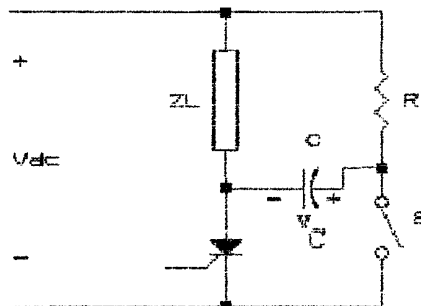


Figura 10. Circuito de apagado de un SCR alimentado por dc.

En este circuito, si el SCR está en estado de conducción, el condensador se cargará, aproximadamente, a la tensión v_{dc} (a través de R). Luego, al cerrar el switch S, la tensión presente en C polarizará inversamente al SCR y lo cortará. El switch S puede ser implementado mediante un transistor o un SCR auxiliar. Puede demostrarse que el mínimo valor de C que producirá la conmutación en el circuito anterior es, aproximadamente:

$$C(\text{min}) = \frac{t_{\text{OFF}}}{0.7 R_L}$$

Acá, t_{OFF} es el tiempo de apagado del SCR, especificado en la hoja de datos.

TRIAC. El Triac es un dispositivo semiconductor de tres terminales que puede ser usado como switch de potencia en aplicaciones de corriente alterna, bajo el control de una señal que, a diferencia del SCR, puede tener cualquier polaridad. El símbolo del TRIAC se muestra en la figura 11.

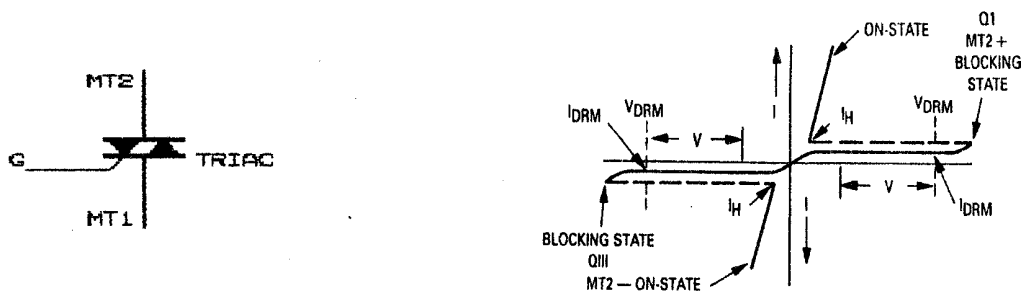


Figura 11. a) Símbolo del TRIAC, b) característica de bloqueo.

El símbolo muestra que el dispositivo puede conducir corriente en ambas direcciones. El electrodo identificado con MT1 (Main Terminal 1 o Terminal Principal 1) es el electrodo de referencia para las tensiones aplicadas al TRIAC. La señal de control se aplica a la puerta, G. La carga y la tensión de alimentación se aplican en serie con MT1 y MT2.

Disparo del TRIAC. El TRIAC puede ser disparado (colocado en el estado de conducción):

- inyectando o extrayendo corriente de la puerta.
- sin corriente en la puerta, al aumentar la tensión en el circuito MT2-MT1 por encima de la tensión de ruptura.

En la primera forma de disparo, la corriente de puerta puede provenir de un circuito externo especial (disparo normal) o puede deberse a carga transferida capacitivamente desde MT2 al producirse una variación brusca en la tensión de este electrodo (disparo indeseado o falso).

Disparo normal. El TRIAC puede ser disparado con cualquier combinación de polaridades en las tensiones aplicadas a MT2 y G. Estas combinaciones se muestran en la figura 12.

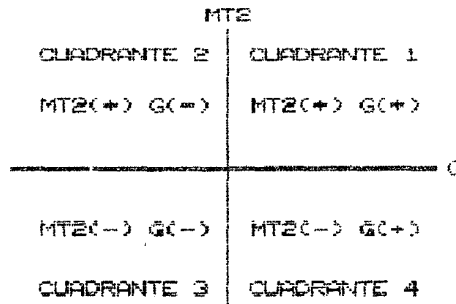


Figura 12. Cuadrantes de disparo.

A modo de ejemplo: Disparo en primer cuadrante: MT2(+), G(+), tensión y corriente positivas en la puerta. Disparo en el segundo cuadrante: MT2(+), G(-), tensión y corriente negativas en la puerta.

Por convención, una corriente positiva en un terminal de un dispositivo entra a dicho terminal.

La sensibilidad al disparo, expresada a través de la corriente continua de puerta (dc) necesaria para llevar a un TRIAC al estado de conducción, puede depender del cuadrante. Además, la corriente de puerta requerida varía con la temperatura. En la figura 13 se muestran estos efectos. Se observa que el TRIAC es más sensible al disparo en los cuadrantes de disparo I y III, es decir, [MT2(+), G(+)] y [MT2(-), G(-)], respectivamente.

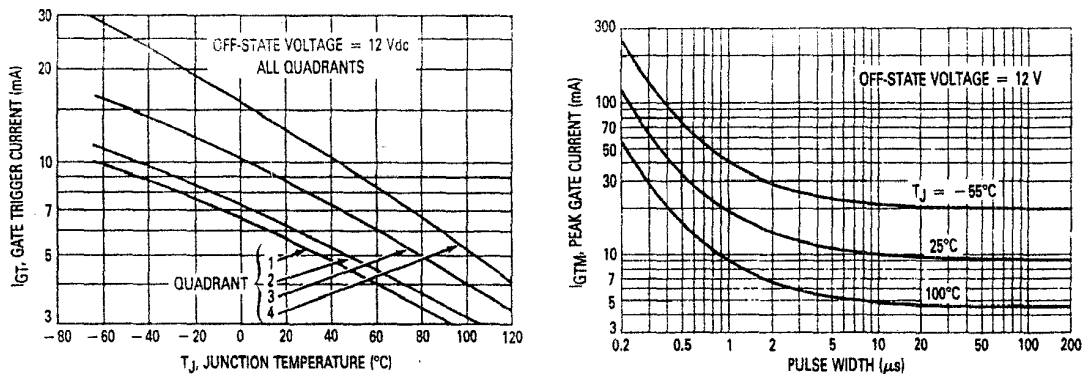


Figura 13 a) Sensibilidad al disparo, corriente dc en la puerta y b) disparo con pulsos. **Ancho requerido.** Si el disparo se efectúa con pulsos, éstos deberán tener un ancho mínimo que depende de la temperatura en la forma mostrada en la figura 13.

Ejemplo. En el circuito de la figura encontrar ecuaciones para la corriente eficaz en la carga y la potencia disipada en el Triac. La puerta del Triac recibe pulsos de disparo de

suficiente amplitud en $\omega t = \alpha + n\pi$. La caída en el Triac en conducción es $\pm V_H$.

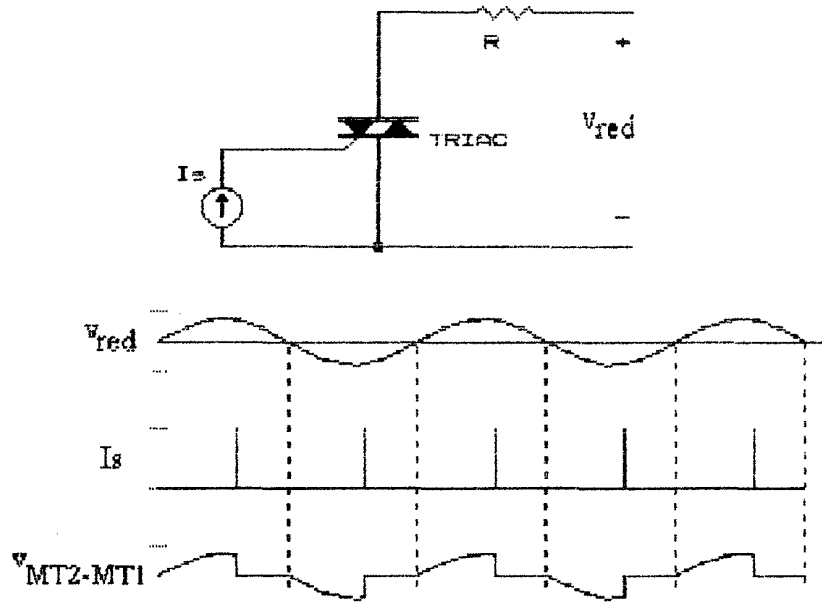


Figura 14. Circuito y formas de onda.

Durante el intervalo de conducción del Triac, la corriente está dada por:

$$i = \frac{V_m \operatorname{sen}(\omega t) - V_H}{R_L}, \quad \alpha \leq \omega t \leq \beta, \quad \pi + \alpha \leq \omega t \leq \pi + \beta,$$

$$i = 0, \quad 0 \leq \omega t \leq \alpha, \quad \beta \leq \omega t \leq \pi + \alpha, \quad \pi + \beta \leq \omega t \leq 2\pi,$$

En las relaciones anteriores, β , la fase de apagado del Triac es:

$$\beta = 180 - \operatorname{arc} \operatorname{sen} \left(\frac{V_H}{V_m} \right)$$

Si $V_m \gg V_H$, la fase de apagado será $\beta \approx \pi$ y la corriente durante el intervalo de conducción del Triac podrá ser aproximada por:

$$i = I_p \operatorname{sen}(\omega t), \quad \alpha \leq \omega t \leq \beta, \quad \pi + \alpha \leq \omega t \leq \pi + \beta,$$

donde:
$$I_p = \frac{V_m \operatorname{sen}(\omega t)}{R_L}$$

Corriente eficaz. La corriente rms está dada por:

$$I_{rms} = \sqrt{\frac{1}{2\pi} \int_0^{2\pi} i^2 dwt} = \sqrt{\frac{2}{2\pi} \int_{\alpha}^{\pi} I_p^2 \sin^2(wt) dwt} = \sqrt{\frac{2 I_p^2}{2\pi} \left[\frac{1}{2}(\pi - \alpha) + \frac{1}{4} \sin 2\alpha \right]}$$

Potencia en la carga. La potencia en la carga es:

$$P(R_L) = I_{rms}^2 R_L$$

Potencia disipada en el Triac. La potencia media disipada en el Triac es:

$$P_D = \frac{1}{2\pi} \int_0^{2\pi} v_{MT2-MT1} i dwt = \frac{1}{\pi} \int_{\alpha}^{\pi} V_H I_p \sin(wt) dwt$$

$$P_D = \frac{V_H I_p}{\pi} (1 + \cos \alpha)$$

Ejemplo. Si en el circuito anterior se emplea un TRIAC 2N6073A y se tiene $V_m = 310$ volt y $R_L = 78$ ohm, hallar la potencia en la carga y la máxima potencia permisible en el encapsulado si el ángulo de disparo es $\alpha = 90^\circ$.

La corriente i_A tendrá un valor pico de $310/78 \approx 4$ ampere. Su valor eficaz será $I_{RMS} = 2$ ampere. La potencia en la carga es:

$$P_L = I_{RMS}^2 = 2^2 * 78 = 312 \text{ watt}$$

En la hoja de datos del TRIAC, para $I_{RMS} = 2$ y un ángulo de conducción de 90° se halla $P_D = 2$ watt y $T_c(\text{máx}) = 102.5^\circ\text{C}$. Esto es, en esta aplicación el TRIAC disipará 2 watt y la máxima temperatura admisible en el encapsulado es de 102.5°C . Se deberá determinar si es necesario usar un disipador pero este aspecto no se cubre en estas notas.

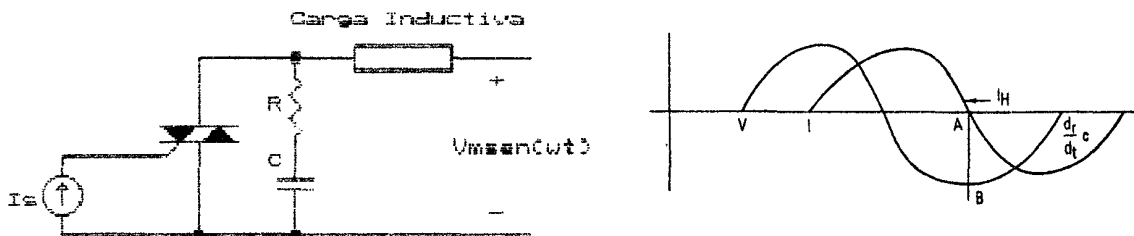


Figura 15 a) Formas de onda con carga inductiva, b) red amortiguadora.

Disparo falso. Un TRIAC en conducción pasa al estado de bloqueo cuando su corriente $I_{MT2-MT1}$ se hace menor que la corriente de mantenimiento, I_H . Esto ocurrirá en la vecindad del cruce por cero de la tensión de alimentación en el caso de que la carga sea resistiva. En cambio, si la carga es fuertemente inductiva, el desfase entre tensión y corriente hará que al caer la corriente $I_{MT2-MT1}$ por debajo del valor I_H , la tensión en MT2 pase bruscamente de su valor correspondiente a conducción a un valor cercano al valor de pico de la tensión de la red. Este cambio brusco de la tensión en MT2 puede provocar, capacitivamente, la inyección de suficiente corriente a la puerta como para disparar al TRIAC nuevamente. En estas condiciones, la puerta dejará de controlar el flujo de corriente hacia la carga. En la hoja de datos, el fabricante publica información respecto al máximo valor que puede alcanzar $d(v_{MT2-MT1})/dt$ sin que el TRIAC se encienda en forma indeseada. Empleando una red amortiguadora, como la mostrada en la figura 15b, es posible reducir la velocidad de cambio de la tensión en MT2 y evitar el disparo espontáneo del TRIAC. El procedimiento para calcular los elementos de la red puede ser hallado en libros de Electrónica de Potencia.

Circuitos de disparo para un TRIAC. Se usan diversos métodos para el disparo de un TRIAC:

Control de fase mediante redes RC. En la figura 16 se muestra dos circuitos para el control de la fase de disparo del TRIAC. El rango de control es mayor en el circuito de la figura 16b.

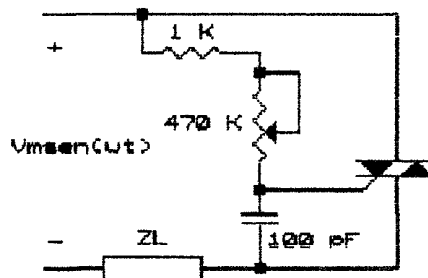


Figura 16. Circuito de control de fase de disparo mediante una red RC.

La fase de disparo en el semiciclo positivo difiere de la fase de disparo en el semiciclo negativo en el circuito de la figura 16. Esto se debe a que corriente requerida por la puerta para producir el disparo depende de las polaridades de las tensiones $v_{MT2-MT1}$ y v_{G-MT1} . Este inconveniente queda subsanado en el circuito de la figura 17.

La característica simétrica del DIAC es similar a la característica de un TRIAC sin corriente en la puerta. Si la tensión aplicada externamente supera el voltaje de ruptura (alrededor de 30 volt para un DIAC), la tensión V_{AB} cae a V_H . De este modo, el disparo del TRIAC en el circuito de la figura 16a estará determinado, principalmente, por la tensión de ruptura del DIAC pues, al alcanzar la tensión en C una magnitud de 30

volt el DIAC entrará en conducción inyectando o extrayendo de la puerta una corriente que, a su vez, hará entrar en conducción al TRIAC.

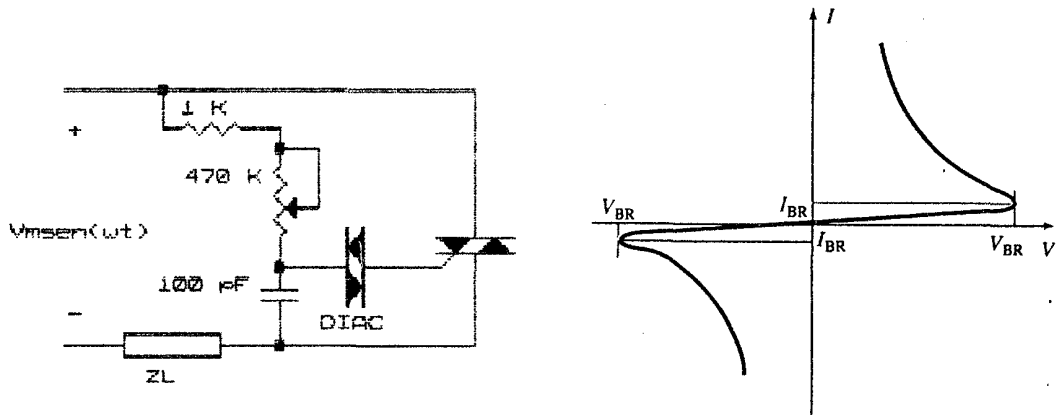


Figura 17. a) Control de fase con red RC y DIAC, b) característica V/I del DIAC.

En el circuito anterior pueden emplearse también SBSs (switch semiconductor bilateral). Su curva característica tiene una forma parecida a la de un DIAC con una tensión de ruptura más baja.

Disparo mediante acopladores ópticos. En el circuito de la figura 18, el disparo se efectúa a través de un acoplador óptico simple. Este método permite aislar eléctricamente el circuito de control del circuito de potencia.

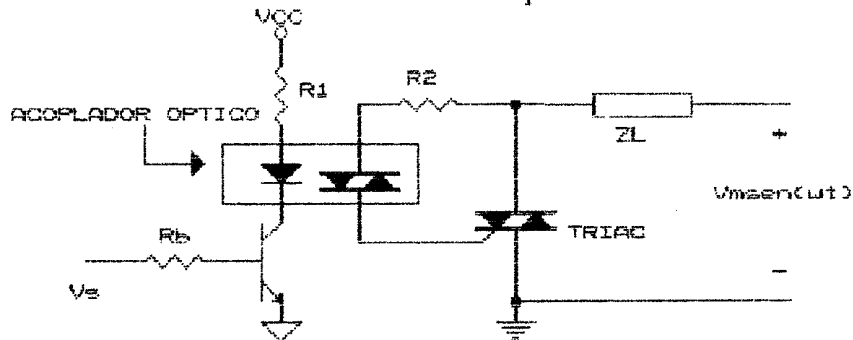


Figura 18. Disparo de un TRIAC mediante un acoplador óptico.

En este circuito, la resistencia R_1 debe estar dimensionada de modo que, al producirse un nivel alto en la señal de entrada la corriente en el LED sea suficiente para hacer conducir al TRIAC del optoacoplador y, a través de éste, colocar en estado de conducción al TRIAC principal. El valor mínimo de la resistencia R_2 debe ser tal que,

al coincidir la señal de disparo con el pico de la tensión de red, no se exceda la corriente máxima estipulada por el fabricante para la puerta del TRIAC principal y para el TRIAC contenido en el optoacoplador.

Otros tipos de acopladores ópticos incluyen circuitos internos que permiten que el disparo ocurra únicamente cerca de los cruces por cero de la tensión de alimentación. Esto es útil en el caso de cargas resistivas pues con estos acopladores se evita variaciones demasiado bruscas de corriente en la carga. En el caso de controles de iluminación mediante bombillos incandescentes, el uso de este tipo de acopladores permite prolongar la vida de los bombillos.

Circuitos Integrados de disparo. Existen diversos circuitos integrados que han sido diseñados especialmente par el disparo de TRIACs. En la figura 19 se muestra un circuito controlador de temperatura implementado con el integrado CA3059. El circuito puede operar directamente desde la red.

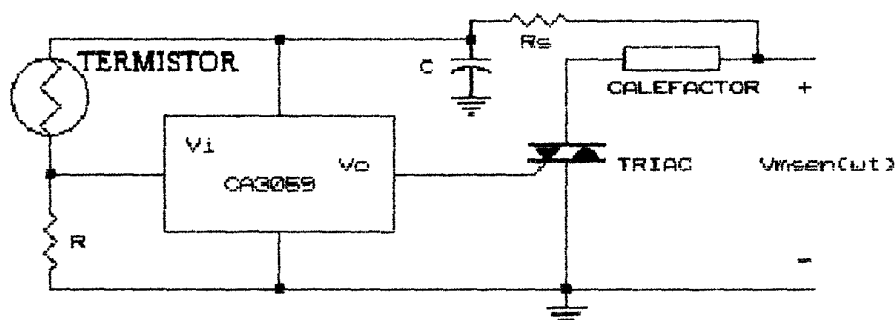


Figura 19. Controlador de temperatura con el integrado CA3059.

El circuito integrado permite implementar controladores de temperatura que pueden conectarse directamente a la red.

Diseño con SCRs y TRIACs

En el diseño con SCRs y TRIACs se deberá considerar los siguientes aspectos:

1.- Selección del dispositivo. El dispositivo deberá ser capaz de manejar la corriente requerida por la aplicación. Algunos fabricantes especifican la corriente que un dispositivo puede manejar a una temperatura de encapsulado de 25°C. Otros, usan temperaturas entre 60 y 100°C. En aplicaciones prácticas, la máxima corriente real que el dispositivo puede manejar se debe encontrar determinando la temperatura real del encapsulado mediante un balance térmico y luego usando curvas usualmente incluidas en la hoja de datos del semiconductor. El procedimiento para efectuar el balance térmico se describe en diversas notas de aplicación y textos.

El dispositivo debe ser capaz de manejar la máxima tensión que se pueda presentar en la aplicación. Es práctica común usar semiconductores con una capacidad de bloqueo de dos veces la tensión de alimentación para evitar que perturbaciones indeseadas en la red puedan dañar al dispositivo.

2. Protecciones. El usuario debe proveer de protecciones contra:

-sobrecorrientes. Es necesario usar fusibles, de muy alta velocidad, especiales para semiconductores.

-sobrevoltajes. Además de usar semiconductores que soporten tensiones mayores que la nominalmente requerida, es necesario incluir dispositivos especiales de protección contra sobrevoltajes tales como MOVs y Transzorbs.

En la bibliografía se incluyen varias referencias que tratan sobre protecciones.

Especificaciones. SCRs y TRIACs. En aplicaciones simples, el proceso de selección de un SCR debe efectuarse atendiendo a:

1.- **Tensión repetitiva de bloqueo directa e inversa.** (V_{DRM} , V_{RRM}): Máximo valor instantáneo de tensión que puede aplicarse en forma periódica al SCR.

2.- **Tensión no repetitiva de bloqueo inverso.** Máxima tensión inversa no repetitiva que puede ser aplicada al SCR.

3.- **Corriente media en estado de conducción.** $I_{T(RMS)}$. Máxima corriente dc que puede conducir el SCR. Debe prestarse atención a la temperatura (T_c) a la cual está especificada esta corriente. Si se establece un valor de $I_{T(RMS)}$ de 20 amp ($T_c = 25^\circ C$) para un SCR, el usuario deberá determinar un balance térmico del sistema SCR, disipador, ambiente para poder conocer la capacidad real de manejar corriente de este SCR.

4.- **Corriente de disparo.** I_{GT} . Máximo valor de corriente de puerta que puede ser requerido, en ciertas condiciones de temperatura y para una cierta tensión aplicada al circuito A-K, por un SCR de la familia para pasar del estado de bloqueo directo al estado de conducción. Algunos SCRs -Sensitive Gate SCRs- necesitan corrientes de disparo más bajas que otros.

5.- **Corriente de mantenimiento.** I_H . Su significado ha sido explicado anteriormente. Su valor aumenta al disminuir la resistencia entre G y K. Disminuye con la temperatura.

6.- **Corriente pico en la puerta.** I_{GFM} .

Además, el usuario debe considerar en su diseño las siguientes especificaciones:

1.- **"Energía" y corriente pico de sobrecarga.** I^2 e I_{TSM} . Estos parámetros son necesarios para el cálculo de protecciones contra sobrecarga de corrientes (fusibles).

2.- **Máxima tensión pico en la puerta.** V_{GM} . El circuito de disparo debe estar diseñado de modo que no se exceda esta tensión.

3.- **Resistencia térmica entre la juntura y el encapsulado.** $R_{th(jc)}$. Este parámetro se usa en el balance térmico necesario para determinar la potencia y corriente real que puede manejar el dispositivo.

4.- **Potencia pico y potencia media en la puerta.** P_{GM} y $P_{G(AV)}$. Si se exceden estos valores el semiconductor experimentará un daño irreversible.

5.- **Tensión de disparo.** V_{GT} . Especificada a una cierta temperatura y un valor de tensión en el circuito A-K.

6.- **Tasa crítica de aumento de la tensión de ánodo.** dv/dt . Si se excede esta especificación aplicando en forma brusca una tensión elevada, el SCR puede entrar

espontáneamente en conducción.

7.- **Tasa máxima de aumento de la corriente de ánodo. di/dt .** Esta especificación es importante en aplicaciones para SCRs en que la velocidad de subida de la corriente pueda alcanzar valores elevados.

BIBLIOGRAFIA

Motorola, "Thyristor Device Data", Phoenix, Arizona, 1992.

Semikron International "Semicondutores de Potencia", Sao Paulo, Brasil, 1990.

Pareja, J., Muñoz, A., Angulo, C., "Prácticas de Electrónica", McGraw-Hill. Madrid, 1990.

Ramshaw, R. S., "Power Electronics", Chapman and Hall, London, 1972.

Williams, B. W., "Power Electronics", John Wiley and Sons, New York, 1987.

DISPOSITIVOS OPTOELECTRONICOS.

Los dispositivos optoelectrónicos permiten la conversión de energía luminosa en energía eléctrica y viceversa. Estos dispositivos son ampliamente usados en la generación de energía eléctrica, el acoplamiento de señales desde y hacia redes de fibras ópticas, encodificadores de posición, visualizadores, y muchas otras aplicaciones. En esta sección se estudiarán los dispositivos optoelectrónicos más comunes y sus principales aplicaciones.

Clasificación de los dispositivos optoelectrónicos. Pueden clasificarse en tres grupos:

-dispositivos fotoreceptores. Este grupo incluye los dispositivos que pueden convertir cambios en niveles de iluminación en cambios en el valor de algún parámetro eléctrico (resistencia, tensión, corriente). Entre estos dispositivos están: fotoresistencias, celdas fotovoltaicas, fotodiodos y fototransistores.

-dispositivos fotoemisores. Son dispositivos que producen luz al ser excitados eléctricamente. Este grupo incluye, entre otros, los diodos emisores de luz (LEDs), capaces de emitir luz en diferentes zonas del espectro, y los displays o visualizadores de cristal líquido (LCD).

-dispositivos híbridos. Estos dispositivos combinan un fotoemisor y un fotoreceptor en un encapsulado y permiten la transmisión óptica de señales eléctricas con niveles de aislación desde decenas de volt a varios Kvolt.

Dispositivos fotoreceptores. En estos dispositivos, la sensibilidad, expresada a través de la magnitud del cambio de valor del parámetro eléctrico producido al variar la cantidad de luz incidente, depende de la longitud de onda y de la dirección de la luz incidente. Los fabricantes publican en las hojas de datos de cada dispositivo, curvas de respuesta espectral (variación de la sensibilidad con la longitud de onda de la luz incidente) y curvas de directividad (variación de la sensibilidad con la dirección de la luz incidente), como las mostradas en la figura 20.

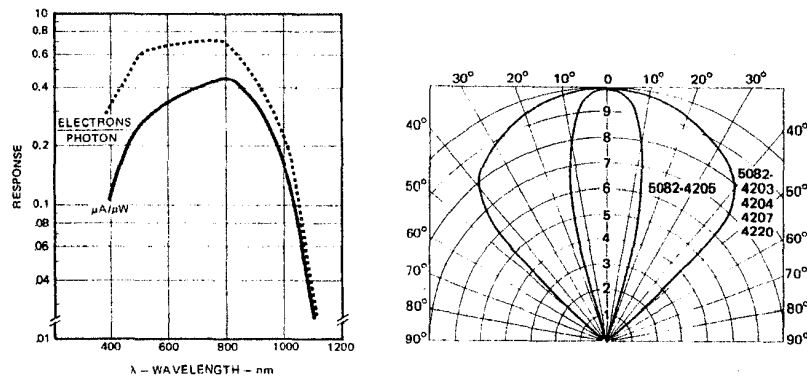


Figura 20. a) Sensibilidad espectral y b) directividad, para un fotodiodo.

La figura 20a muestra que, si se mantiene la intensidad constante, la magnitud de la corriente que se produce en un fotodiodo depende de la longitud de onda. Por su parte, la forma en que depende la respuesta con el ángulo de incidencia de la luz referido al eje del fotodiodo se aprecia en la figura 20b.

Fotoresistencias. Algunos materiales, entre los cuales se encuentran los semiconductores, tienen la propiedad de disminuir su resistencia al ser expuestos a la luz. El símbolo y la forma de la variación de la resistencia con la intensidad de la luz se muestran en la figura 21.

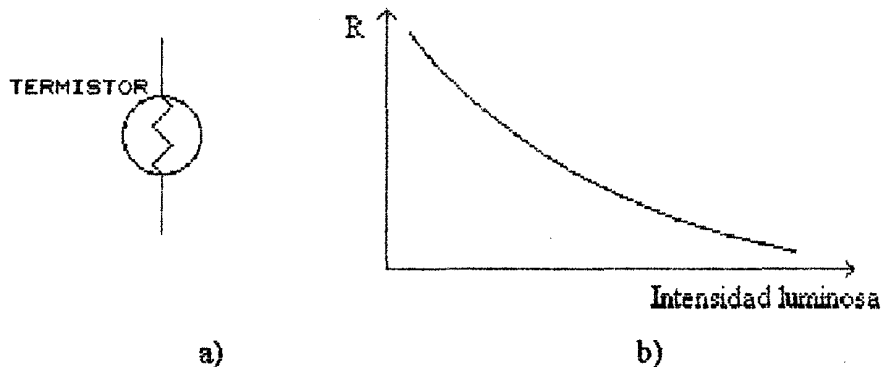


Figura 21. Fotoresistencia. a) Símbolo, b) curva característica.

En la figura 22 se muestran dos circuitos que incluyen fotoresistencias. En el primer circuito, si la intensidad luminosa es muy elevada, la fotoresistencia presentará un valor bajo. Si los componentes están dimensionados en forma tal que, para este nivel de iluminación, la tensión $v_{BE} < 0.7$ volt, el transistor estará en estado de corte y su tensión base a emisor estará dada por:

$$v_{BE} = \frac{R_I}{R + R_I} * V_{CC}$$

En la ecuación anterior, R_I es la resistencia de la fotoresistencia para la intensidad de luz incidente en la misma.

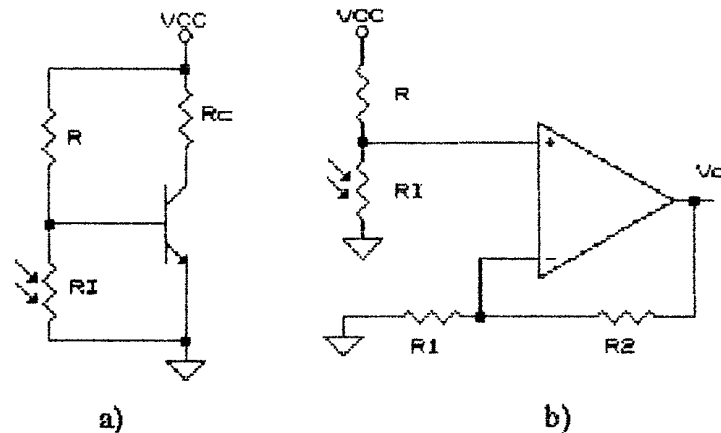


Figura 22. a) Detector de nivel de iluminación con transistor, b) amplificador con A. O.

Al disminuir la intensidad de la luz, R_I aumentará. El transistor estará al borde de la conducción cuando la tensión v_{BE} se haga igual a 0.7 volt. En este circuito, la transición de corte a la saturación en el transistor es suave.

En el circuito de la figura 22b, la señal de salida es:

$$V_o = \left(1 + \frac{R_2}{R_1}\right) * \frac{R_I}{R + R_I} * V_{CC}$$

La ganancia de este circuito permitirá que la transición de corte a saturación ocurra en forma más brusca que en el circuito simple.

Ejemplo. En la figura 23 se muestra una aplicación de un circuito de detección de nivel de iluminación.

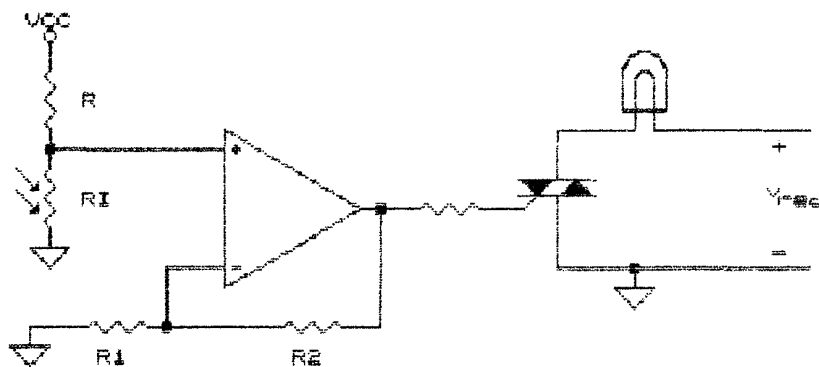


Figura 23. Circuito de encendido de luces.

En el circuito de la figura se usa un detector de nivel de iluminación para encender un juego de bombillo al caer la noche. La señal de salida del comparador se aplica a un Triac conectado en serie con bombillos incandescentes.

Parámetros de una fotoresistencia. Los principales especificaciones de una fotoresistencia son:

- Resistencia en oscuridad. Mínimo valor de resistencia que presenta el dispositivo en oscuridad y a la temperatura especificada.
- Resistencia con iluminación. Máximo valor de resistencia para una intensidad luminosa y una longitud de onda especificadas.
- Velocidad de respuesta. Define la velocidad con que la resistencia cambia al cambiar bruscamente la intensidad luminosa desde un cierto valor hasta cero (oscuridad).
- Potencia máxima. Máxima potencia que puede disipar la fotoresistencia a una

cierta temperatura ambiente.

-Sensibilidad espectral y directividad. Describas anteriormente.

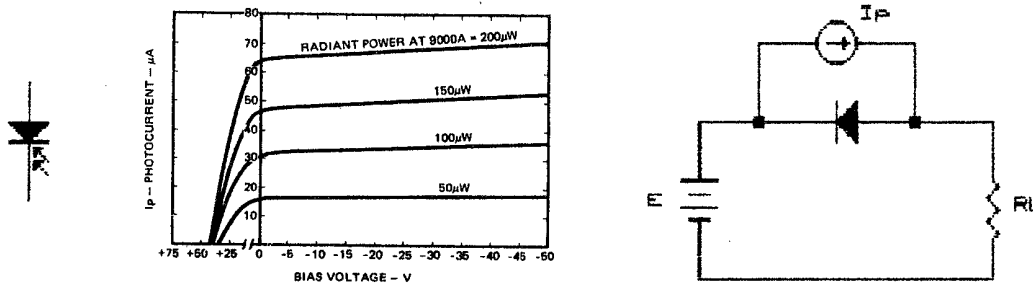


Figura 24. Fotodiodo. a) Símbolo, b) curva característica, c) modelo y circuito de aplicación.

Fotodiodos. Si en un diodo convencional se hace incidir luz en la zona de la juntura se producirá corriente que puede ser aprovechada externamente. En un fotodiodo se hace uso de este efecto y su encapsulado está diseñado especialmente para permitir el paso de luz. El símbolo de un fotodiodo y su característica de respuesta se muestran en la figura 24.

La característica de la figura 24b muestra que la corriente inversa I_p en el fotodiodo aumentará al aumentar el nivel de iluminación. En el modelo de la figura 24c, la magnitud I_p de la fuente de corriente es proporcional a la intensidad de la luz. En el circuito, parte de la corriente I_p circulará por el diodo y el resto a través de la fuente externa de tensión E y la resistencia de carga R_L .

Modos de operación. Un fotodiodo tiene dos modos de operación:

-Modo fotovoltaico ($E=0$). En este modo, sin excitación externa, la luz incidente producirá una corriente I_p . Una parte de esta corriente circulará por la resistencia de carga y la fracción restante polarizará en forma directa al diodo de la figura 24c. En este modo, si la resistencia de carga R_L es extremadamente elevada, la relación entre la intensidad luminosa y la tensión v_d es logarítmica. Por el contrario, si R_L es muy pequeña, la relación entre la corriente en la carga y la intensidad luminosa es aproximadamente lineal.

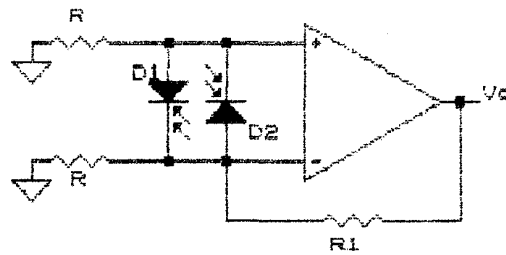


Figura 25. Amplificador para diodos operando en modo lineal.

En el circuito de la figura 25, el amplificador operacional impone una tensión de 0 volt a través del fotodiodo (operación lineal). La tensión de salida es:

$$V_o = -R \cdot (I_1 - I_2) \left(1 + \frac{R_2}{R_1} \right)$$

I_1, I_2 son las corrientes de cortocircuito de los fotodiodos D_1 y D_2 para los niveles de luz incidentes en cada uno de ellos. El circuito se usa como transductor de distancia.

-Modo fotoconductor o de fotocorriente ($E > 0$). En este modo, el fotodiodo opera con polarización inversa. La respuesta es más estable térmicamente y más rápida que en el modo fotovoltaico. Un circuito para operación en este modo se muestra en la figura 26.

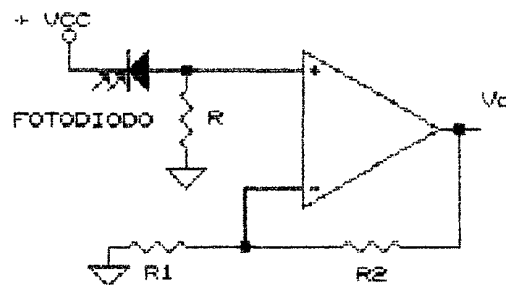


Figura 26. Circuito para operación en modo fotoconductor.

Parámetros de un fotodiodo. Las siguientes cantidades no deben ser excedidas durante la operación:

- P_D . Máxima disipación permitida.
- $V_R(\text{max})$. Máxima tensión inversa.

Otras características importantes, además de la sensibilidad espectral y la característica direccional descritas en forma general en párrafos anteriores, son las siguientes:

-Corriente inversa de oscuridad I_{R_s} , a una temperatura y a una tensión inversa especificadas.

-Corriente inversa con iluminación, I_{R_L} , a una temperatura, polarización inversa, un nivel de iluminación y una longitud de onda especificados.

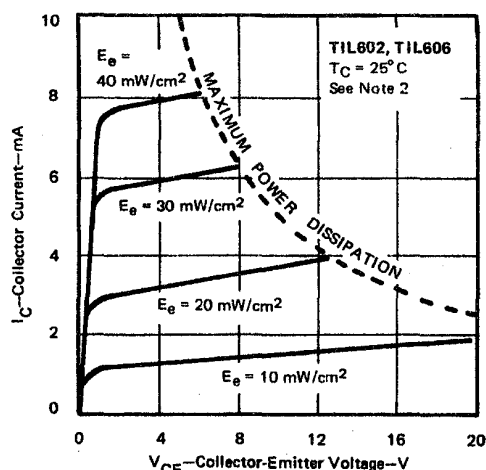


Figura 27. a) Símbolo, b) curvas características (tipo T1L601).

Fototransistores. En un fototransistor, la corriente de base es suministrada por la fotocorriente generada al hacer incidir luz en la zona de la base. El símbolo de un fototransistor y sus curvas características se muestran en la figura 27. En las curvas de la figura 27b se aprecia la forma en que aumenta la corriente de colector al aumentar el nivel de iluminación.

En la figura 28 se muestra que la forma en que se conecte un fototransistor determinará el modo en que éste opere en un circuito. Si la base es accesible externamente, al dejar el emisor en circuito abierto, se podrá usar el fototransistor en los modos fotovoltaico o fotoconductor conectando sólo la base y el colector. En la operación como fototransistor (figuras 28c y d), el dispositivo deberá polarizarse entre colector y emisor en la forma convencional para un transistor NPN. En el modo mostrado en la figura 28c no se usa la conexión de base. En cambio, en la conexión de la figura 28d se conecta una resistencia, con un valor especificado en la hoja de datos, entre base y emisor para reducir la sensibilidad.

Modos de operación. El fototransistor puede operar en cuatro modos:

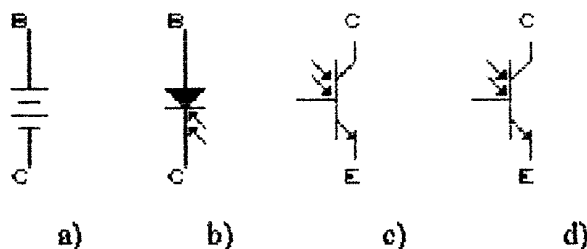


Figura 28. Modos de operación del fototransistor. a) Fotovoltaico, b) fotoconductor, c) y d) fototransistor.

Parámetros de un fototransistor. La hoja de datos incluye las siguientes especificaciones máximas:

- Máxima tensión colector emisor con la base en circuito abierto, V_{CE0} y

máxima tensión inversa base emisor, V_{EB} .

-Máximas corrientes de colector, de y pico.

-Máxima potencia que puede ser disipada por el fototransistor, P_D .

Otros parámetros importantes, además de la sensibilidad espectral y la directividad, son:

-Corriente de colector en oscuridad, I_{CEO} . Especificada a una temperatura y con cierta polarización.

-Nivel de fotocorriente, I_p . Corriente de colector para un nivel de iluminación y polarización especificados.

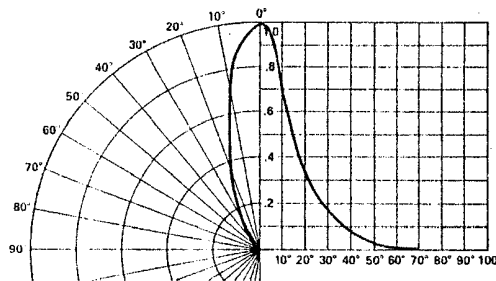


Figura 29. Distribución angular de intensidad luminosa.

Dispositivos fotoemisores. Los dispositivos fotoemisores presentan características direccionales de emisión de luz como la mostrada en la figura 29. Los fotoemisores se usan principalmente como indicadores sustituyendo ventajosamente, por su mayor eficiencia, a bombillos incandescentes. El símbolo de un diodo emisor de luz y su curva característica se muestran en la figura 30.

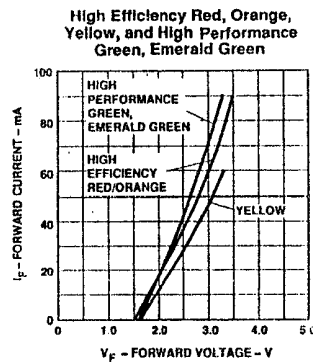


Figura 30. Diodo emisor de luz. a) símbolo, b) curva característica.

Diodos emisores de luz (LEDs). Estos diodos al ser polarizados en forma directa emiten luz con una longitud de onda específica y una intensidad que depende del nivel de corriente.

La curva característica del LED tiene una forma parecida a la de un diodo normal. La tensión umbral varía entre 1.2 y 2.5 volt.

En la figura 31a se muestra el efecto que tiene la magnitud de la corriente directa sobre la intensidad de la luz emitida. La intensidad de la corriente directa puede ser ajustada mediante una resistencia a un valor arbitrario.

En el circuito de la figura 31b, el diodo estará polarizado en forma directa y su corriente será:

$$I_D = \frac{V_{CC} - V_D}{R}$$

La resistencia R deberá estar dimensionada de modo que I_D no exceda el máximo valor dc especificado por el manual $I_D(\text{máx})$.

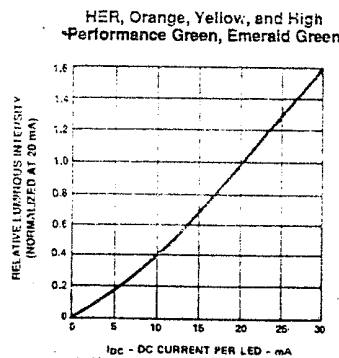
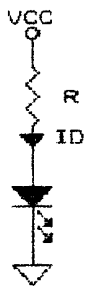


Figura 31. a) Intensidad luminosa vs corriente directa en el LED, b) circuito de polarización.

Ejemplo. En el circuito de la figura 31b se desea hacer pasar 5 mA por un LED tipo HP5082-4684. Si la fuente $V_{CC} = 10$ volt, hallar el valor de R.

En la figura 30b, para $I_D = 5$ mA se halla $V_D = 2$ volt. La resistencia en serie deberá tener un valor:

$$R = \frac{10 - 2}{0.005} = 1600 \text{ ohm}$$

En la práctica, se usará 1500 ohm.

Encendido de un LED mediante pulsos. Si un LED se excita con pulsos de corriente con una frecuencia mayor que un cierto valor mínimo, la lentitud en la respuesta del ojo impedirá detectar que el LED está emitiendo luz en la forma de pulsos luminosos. En este caso, el ojo responde al valor medio de la intensidad luminosa.

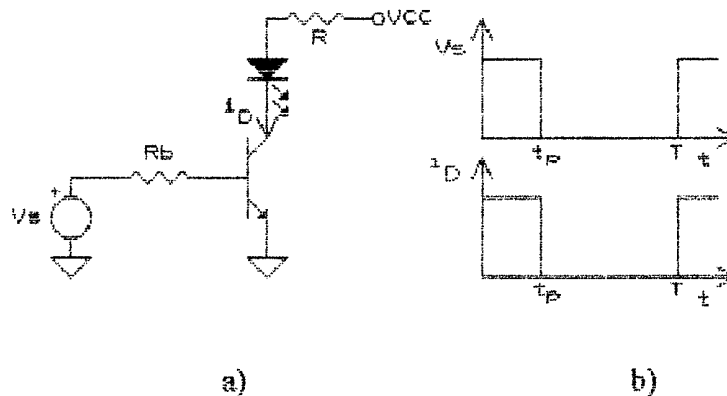


Figura 32-1. Encendido de un LED mediante pulsos. a) Circuito, b) formas de onda.

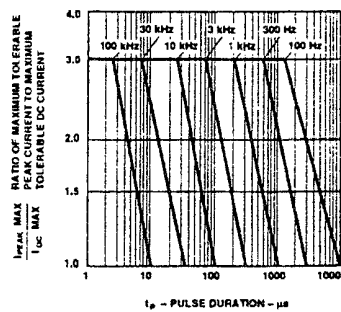


Figura 32-2. Corriente pico máxima vs t_p , LED tipo HP5082-4684.

En el circuito de la figura 32-1, la señal de entrada tiene una frecuencia, f y presenta dos niveles. La tensión en el nivel bajo es insuficiente para hacer conducir el transistor por lo que el LED se mantendrá apagado. En el nivel alto, con una duración t_p , el transistor se satura y la corriente en el LED será:

$$I_D(p) = \frac{V_{CC} - V_D - V_{CE(SAT)}}{R}$$

Esta corriente tiene un valor medio I_D dado por:

$$I_D = I_D(p) * \frac{t_p}{T}$$

El circuito debe estar diseñado de modo que no se exceda el máximo valor de permitido para la corriente en el diodo ($I_{DC(max)}$). Además, R debe estar dimensionado de modo

que la corriente $I_D(p)$ está por debajo de la corriente de pico máxima para el diodo. El fabricante publica curvas para la máxima relación permisible para $I_{PICO}/I_{DC(max)}$ en función de la frecuencia (f) y la duración del pulso de corriente a través del LED, (t_p). Si los pulsos de corriente son angostos respecto del período, la corriente pico en el LED puede ser aumentada pues el semiconductor puede enfriarse en los intervalos de no circulación de corriente. El aumento de corriente pico está limitado por la capacidad de manejo de corriente de los conductores internos del LED.

Ejemplo. Se desea excitar un LED tipo HP5082-4684 con pulsos a una frecuencia de 100 Hz (período $T= 10$ ms) usando el circuito de la figura 23a. Determinar el ancho máximo de los pulsos y el valor de la resistencia R para máxima iluminación instantánea. La máxima corriente dc en el LED es $I_D(max)= 20$ mA. La tensión de alimentación es de 5 volt.

En las curvas de la figura 32b se halla para este LED: $I_{PICO}/I_{DC(max)}= 3$ y un ancho máximo de los pulsos de corriente de 1.5 ms. Para máxima iluminación los pulsos de corriente a través del LED deberán tener una amplitud de $3 \cdot 20$ mA = 60 mA y el ancho máximo de 1.5 ms. El valor medio de la corriente en el LED será:

$$I_D = 60 \text{ mA} \cdot \frac{1.5}{10} = 9 \text{ mA}$$

La intensidad de la luz emitida por el LED al ser excitado por pulsos equivaldría a la intensidad de la luz que el diodo emitiría si se le excitara mediante una corriente dc de 9 mA.

La caída en el diodo para una corriente de 60 mA es de 2.5 volt. Suponiendo una caída de 0.3 volt entre colector y emisor del transistor se requerirá una resistencia en serie de:

$$R = \frac{V_{CC} - V_D - V_{CE(SAT)}}{I_D}$$

$$R = \frac{5 - 2.5 - 0.3}{0.060} = 39 \text{ ohm}$$

Visualizadores (displays) de 7 segmentos. Los displays de 7 segmentos se fabrican en las formas mostradas en la figura 33.

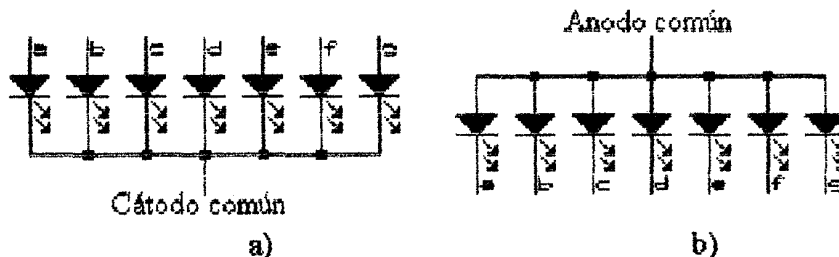


Figura 33 Displays de 7 segmentos. a) Cátodo común, b) ánodo común.

En las dos estructuras anteriores se ve que, desde un punto de vista eléctrico, un display de 7 segmentos no es sino un conjunto de LEDs que tienen una conexión común en sus ánodos o cátodos. En consecuencia, las ecuaciones y consideraciones para el cálculo de componentes son similares a las usadas en el caso de LEDs.

En la figura 34 se muestra la forma de mostrar el número 4 mediante un display ánodo común.

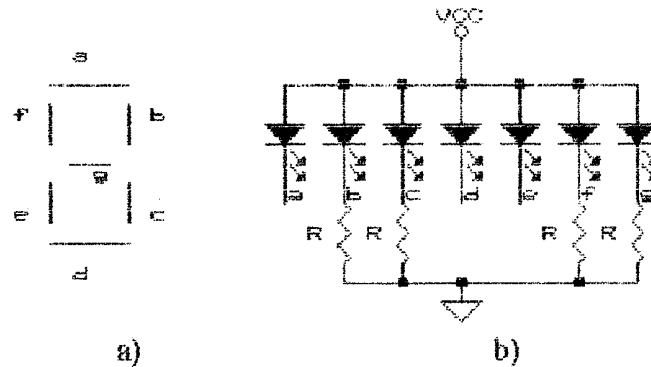


Figura 34. a) Identificación de los segmentos, b) el display muestra el número 4. Para mostrar el número 4 es necesario excitar los segmentos *f*, *g*, *b* y *c*. En el esquema anterior pareciera innecesario usar una resistencia en serie con cada diodo. Aparentemente bastaría con colocar una resistencia única desde el ánodo común hasta la fuente *Vcc*. Sin embargo, pequeñas diferencias en la característica *V/I* en los diferentes segmentos, producirían una distribución no uniforme de la corriente y una luminosidad diferente en los segmentos.

Especificaciones de LEDs y Displays de 7 segmentos. Las siguientes especificaciones deben ser consideradas en un diseño:

- Corriente media máxima a través del diodo (segmento). $I_D(\text{max})$.
- Corriente pico máxima a través del diodo. $I_{PICO}(\text{max})$.
- Disipación máxima. $P_D(\text{max})$.

Las especificaciones anteriores son válidas a una temperatura ambiente de 25° C.

Dispositivos híbridos. En los llamados acopladores ópticos, en un circuito integrado se combinan un emisor de luz y un fotoreceptor. Mediante estos dispositivos es posible transmitir ópticamente señales sin que exista conexiones eléctricas entre el transmisor y el receptor. Existe una gran variedad de acopladores ópticos. En la figura 35 se muestran dos tipos de uso frecuente.

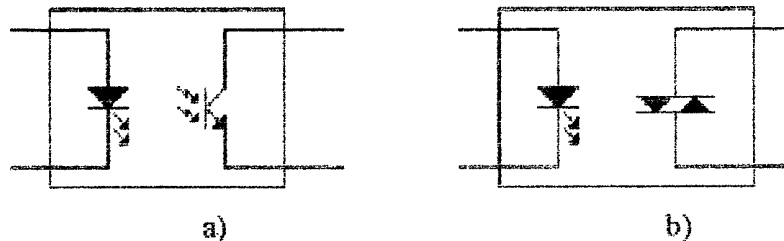


Figura 35. Acopladores ópticos. a) LED y fotodiodo, b) LED y Triac.

En el acoplador mostrado en la figura 35a, al inyectar una corriente I_F en el LED se producirá una corriente I_C en el transistor. Un circuito de aplicación se muestra en la figura 36.

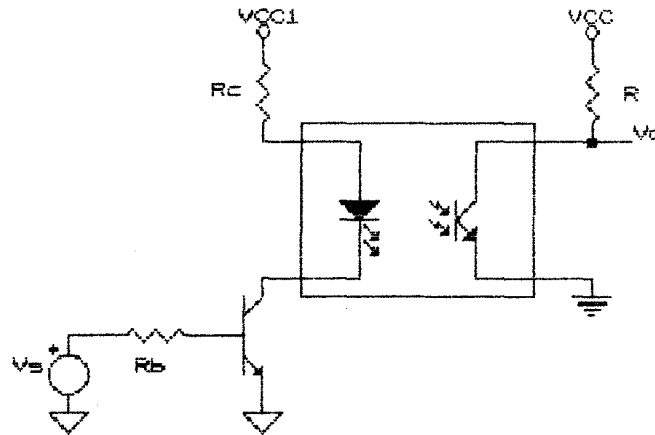


Figura 36. Circuito de transmisión de pulsos usando acoplador óptico integrado.

Al producirse un nivel alto en V_s , la corriente I_F tendrá una magnitud de:

$$I_F = \frac{V_{CC} - V_{CE(SAT)} - V_D}{R}$$

Por su parte, la corriente en colector del transistor tendrá un valor de:

$$I_C = K * I_F$$

donde K = razón de transferencia de corriente especificada por el fabricante. K es función de la corriente.

El circuito anterior tiene una mayor velocidad de operación si R_c está dimensionada de modo que el transistor opere en forma no saturada. Este circuito se usa para transmitir datos de un circuito a otro aislado eléctricamente.

En el acoplador óptico de la figura 35b, al inyectar suficiente corriente al LED, el SCR entrará en estado de bloqueo si la tensión presente en su circuito MT2-MT1 es suficiente para que la corriente supere la corriente de mantenimiento I_H . Este tipo de acoplador se usa para disparar TRIACs de potencia en la forma mostrada en la figura 37. En este circuito, si se inyecta un corriente que exceda el valor umbral especificado por el fabricante, se encenderán simultáneamente el TRIAC del optoacoplador y el TRIAC principal.

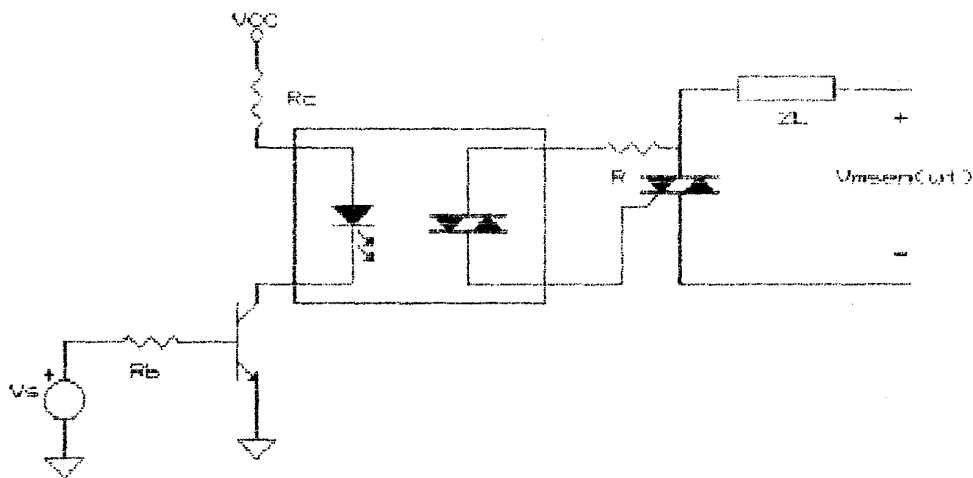


Figura 37. Disparo de un TRIAC de potencia mediante un acoplador óptico.

La resistencia R debe calcularse de modo que si la inyección de corriente al LED coincide con la ocurrencia del pico en la red (V_m), la corriente en el TRIAC del optoacoplador y en la puerta del TRIAC principal no supere los valores máximos especificador por el fabricante. Esto es, ignorando la caída en Z_L :

$$R > \frac{V_m - V_{GT1} - V_{GT2}}{I_{GM}}$$

En la ecuación anterior, V_{GT1} y V_{GT2} representan los voltajes de umbral de los TRIACs principal y del optoacoplador, respectivamente e I_{GM} , la máxima corriente que puede inyectarse a la puerta.

REFERENCIAS

- Siemens, "Optoelectronics Data Book", Munich, Germany, 1990.
- Hewlett-Packard, "Optoelectronics Designer's Catalog", Palo Alto, California, 1976.
- Pareja, J., Muñoz, A., Angulo, C., "Prácticas de Electrónica", McGraw-Hill, Madrid, 1990.
- Chappell, A., "Theory and Practice", Texas Instruments, Bedford, 1976.

TEMA II

CIRCUITOS RC Y DE CONMUTACION RESPUESTA DE REGIMEN TRANSITORIO Y PERMANENTE

INTRODUCCION. En Electrónica existe frecuentemente la necesidad de generar y modificar ondas de diversas formas para posteriormente usarlas en diferentes aplicaciones. En este capítulo, se estudia la respuesta de redes simples RC y circuitos que, además, incluyen diodos y transistores a señales comunes de entrada.

RED RC PASO BAJOS: La estructura de esta red se muestra en la Figura 1.

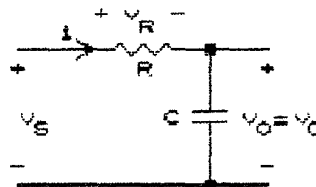


Figura 1. Red Paso Bajos

En este circuito se cumplen las siguientes ecuaciones integrodiferenciales:

$$v_s = i * R + \frac{1}{C} \int i dt$$

$$v_s = v_C + C \frac{dv_C}{dt} * R$$

La respuesta (i , v_C) de este circuito para una señal de entrada dada puede ser determinada empleando alguna técnica conocida. Por ejemplo, aplicando transformada de Laplace a la segunda ecuación se obtiene:

$$V_s(s) = V_C(s) + s * V_C(s) - RC * v_C(0^+)$$

donde $v_C(0^+)$ es el valor de la tensión en el condensador para $t = 0^+$ y $V_s(s)$ y $V_C(s)$ son las transformadas de Laplace de $v_s(t)$ y $v_C(t)$, respectivamente. $v_C(0^+)$ es el valor de la tensión en el condensador para $t = 0^+$.

Despejando $V_C(s)$ se obtiene:

$$V_C(s) = \frac{V_s(s) + RC * v_C(0^+)}{1 + s * RC}$$

reemplazando en esta ecuación la transformada de Laplace de $v_s(t)$ y el valor de $v_C(0^+)$ y luego obteniendo la antitransformada de la expresión resultante se obtiene $v_C(t)$. Luego, a partir de $v_C(t)$ puede determinarse la corriente en el circuito, i , empleando la relación:

$$i = C \frac{dv_C}{dt}$$

A continuación obtendremos la respuesta del circuito para algunas señales simples.

Señal de entrada escalón. Si la señal de entrada $v_S(t)$ es un escalón de amplitud V_f y la tensión inicial en C es $v_C(t=0^+) = V_i$, la transformada de Laplace de $v_C(t)$ estará dada por:

$$V_C(s) = \frac{1}{s} * \frac{V_f}{1 + s*RC} + \frac{RC * V_i}{1 + s*RC}$$

Al tomar la antitransformada de la expresión anterior se obtiene:

$$v_C(t) = V_f + (V_i - V_f) * e^{-t/RC}$$

esto es, la tensión en C variará exponencialmente desde su valor inicial, V_i , hacia su valor final, V_f . La constante de tiempo del cambio exponencial es RC .

La ecuación de la corriente puede ser encontrada empleando:

$$i = C \frac{dv_C}{dt}$$

Se obtiene:

$$i(t) = \frac{V_f - V_i}{R} * e^{-t/RC}$$

Esto es, la corriente disminuye exponencialmente hacia cero en la medida que C se carga hacia V_f . La respuesta del circuito para $V_f=10$ volt se muestra en la figura 2b.

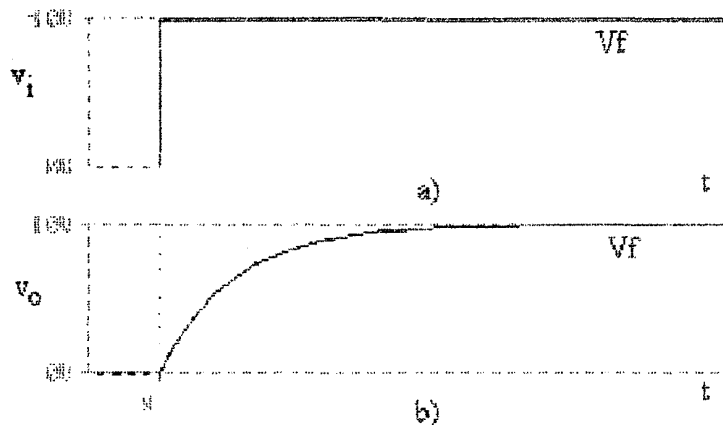


Figura 2. a) Señal de entrada escalón, b) respuesta.

Ejemplo. Hallar la tensión de salida del circuito de la figura 1 al aplicar en la entrada del mismo un escalón de amplitud $V_f = 10$ volt. Considere $R = 10$ K, $C = 1$ uF.

Intervalo $t < 0$. El circuito está desenergizado en este intervalo. Así:

$$i(t < 0) = 0$$

$$v_C(t < 0) = 0$$

Intervalo $t > 0$. El condensador se cargará desde un valor inicial, V_i , de 0 volt hacia un valor final, V_f , de 10 volt. El cambio de v_C entre estos dos valores será exponencial con una constante de tiempo $RC = 10^4 * 10^{-6} = 10^{-2}$ s. Esto es:

$$v_C(t) = V_f + (V_i - V_f) * e^{-t/RC}$$

$$v_C(t) = 10 + (0 - 10)e^{-t/RC} = 10 (1 - e^{-t/RC})$$

Ejemplo. Hallar la tensión de salida del circuito, v_O . Los componentes tienen los siguientes valores: $R = 10$ K, $C = 1$ uF. La tensión inicial en C es $V_{i1} = v_C(t=0^+) = 0$.

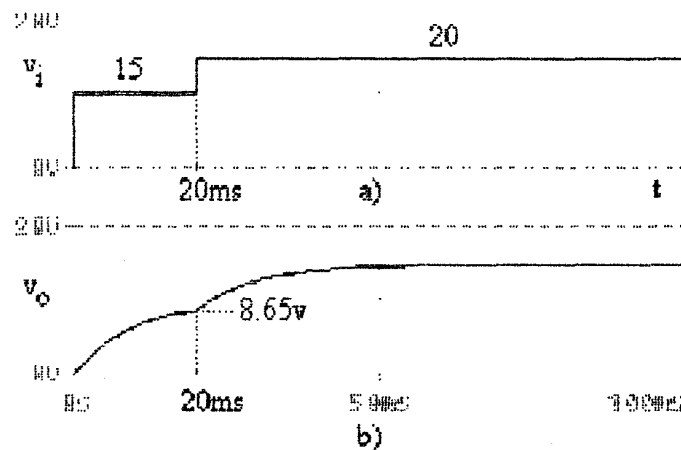


Figura 3. a) Señal de entrada, b) señal de salida.

Aprovechando los resultados anteriores consideraremos dos formas de solución.

Solución 1. En esta forma dividiremos el problema en tramos, de acuerdo a la naturaleza de la señal de entrada.

-intervalo $0 \leq t \leq T = 20$ ms. La tensión en C variará exponencialmente desde $V_{i1} = 0$ hacia $V_{f1} = V_1 = 10$ volt, con una constante de tiempo $RC = 10^4 * 10^{-6} = 10$ ms. Esto es, en este intervalo la expresión de v_C es:

$$v_C(t) = V_1 (1 - e^{-t/10ms}) = 10 (1 - e^{-t/10ms})$$

En $T = 20$ ms, la tensión de salida v_C habrá llegado a:

$$v_C(T = 20ms) = 10 (1 - e^{-20ms/10ms}) = 8.65$$

Se observa que en T el condensador no se ha cargado plenamente a la tensión de entrada del intervalo. La tensión final de C en este intervalo (8.65 volt) constituirá la tensión inicial, V_{i2} , para el intervalo siguiente.

Intervalo $t > T$. La tensión en C variará desde un valor inicial $V_{i_2} = 8.65$ volt hacia un valor final $V_{f_2} = 15$ volt. La expresión de v_C en este intervalo es:

$$v_C(t) = 15 + (15 - 8.65) e^{-(t-T)/10ms} = 15 - 6.35 e^{-(t-20ms)/10ms}$$

Solución 2. El circuito es lineal y permite el uso de superposición. La señal de entrada puede ser descompuesta como se muestra en la figura:

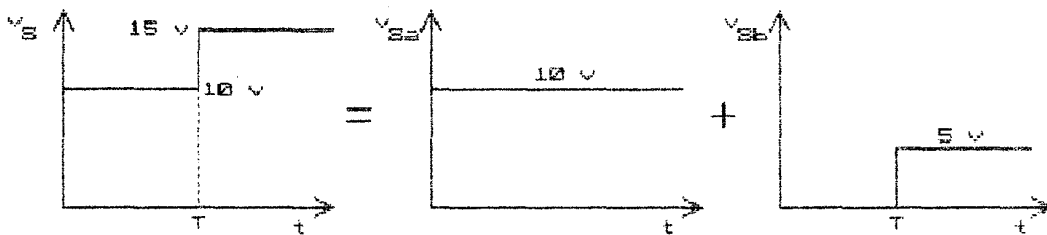


Figura 4. Descomposición de la señal de entrada.

Respuesta al primer escalón. Para este escalón $V_{i_a} = 0$, $V_{f_a} = 10$, $RC = 10$ ms

$$v_{Ca}(t) = 10 (1 - e^{-t/10ms}), t > 0$$

Respuesta al segundo escalón. Para este escalón que ocurre en $T = 20$ ms la respuesta es:

$$v_{Cb}(t) = 5 (1 - e^{-(t-20ms)/10ms}), t > 20 \text{ ms}$$

Respuesta total: la respuesta total será la suma de respuestas, esto es:

$$v_C(t) = v_{Ca}(t) + v_{Cb}(t)$$

Esto es:

intervalo $0 \leq t \leq 20$ ms:

$$v_C(t) = 10 (1 - e^{-t/10ms})$$

intervalo $t > 20$ ms:

$$v_C(t) = 10 (1 - e^{-t/10ms}) + 5 (1 - e^{-(t-20ms)/10ms})$$

Obviamente, esta respuesta es idéntica a la encontrada por el otro camino.

Señal de entrada tipo rampa. Si la señal de entrada $v_s(t)$ es una rampa con pendiente α y la tensión inicial en C es $v_C(t=0^+) = V_i$, la transformada de Laplace de $v_C(t)$ estará dada por:

$$V_C(s) = \frac{\alpha}{s^2} * \frac{1}{1+s*RC} + \frac{RC * V_i}{1+s*RC}$$

Tomando la antitransformada de esta expresión se obtiene:

$$v_O(t) = v_C(t) = \alpha(t - RC) + \alpha RC e^{-t/RC}$$

La forma de la respuesta se muestra en la figura siguiente:

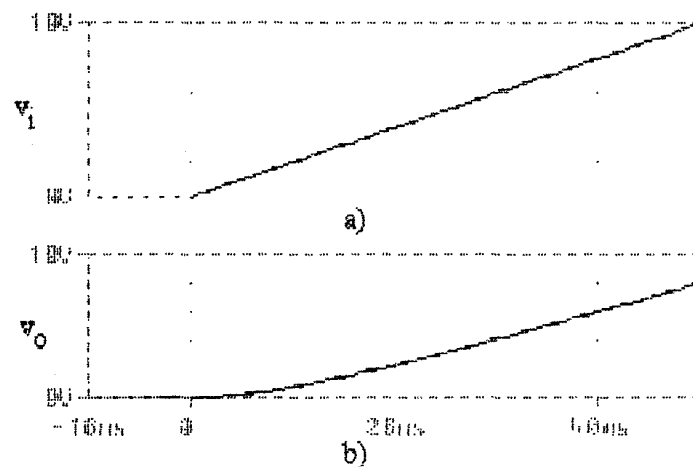


Figura 5. Respuesta del filtro paso bajos a una señal de entrada tipo rampa.

La respuesta anterior puede ser descompuesta en tres intervalos:

intervalo $t \ll RC$: recordando el desarrollo en series de un exponencial:

$$e^{-x} = 1 - x + \frac{x^2}{2!} - \frac{x^3}{3!} + \dots$$

el exponencial puede ser expresado como:

$$e^{-t/RC} = 1 - \frac{t}{RC} + \frac{1}{2!} \frac{t^2}{(RC)^2} - \dots$$

si $t \ll RC$ podemos aproximar el exponencial por los dos primeros términos:

$$e^{-t/RC} \approx 1 - \frac{t}{RC}$$

reemplazando en la expresión de v_O se observa que, inicialmente, la salida $v_O = v_C$ es cero.

intervalo $t \approx RC$: el cambio es aproximadamente exponencial y todos los términos deben ser considerados en la expresión de v_C .

intervalo $t \gg RC$: en este intervalo el exponencial puede ser ignorado. La tensión de salida del circuito es, aproximadamente:

$$v_O = v_C(t) = \alpha (t - RC)$$

esto es, en este intervalo v_O varía en forma lineal y, en un instante dado, la diferencia entre la señal de salida y la señal de entrada es αRC .

RED PASO ALTOS. La estructura de este circuito se ilustra en la siguiente figura.

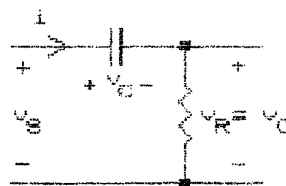


Figura 6. Red Paso Altos.

La ecuación diferencial del circuito tiene una estructura similar a la ecuación del circuito paso bajos. La solución puede ser encontrada usando transformadas de Laplace. Alternativamente se observa que:

$$v_O = v_R = v_S - v_C$$

Esto sugiere que la tensión de salida del circuito paso bajos puede ser encontrada restando a la tensión de entrada, v_S , la tensión de salida del circuito paso bajos, v_C , encontrada en secciones anteriores.

Señal de entrada escalón. Para cualquier señal de entrada la señal de salida del circuito paso altos será:

$$v_O = v_R = v_S - v_C$$

Si la señal de entrada v_S es un escalón de amplitud V_f , la señal de salida estará dada por:

$$v_O = V_f - [V_f + (V_i - V_f) * e^{-t/RC}]$$

El segundo término del segundo miembro es simplemente la expresión hallada previamente para v_C con este tipo de excitación. La expresión de v_O se reduce a:

$$v_O = (V_f - V_i) * e^{-t/RC}$$

A modo de ejemplo, consideremos que el filtro paso altos de la figura tiene $R=10\text{ K}$, $C=1\text{ uF}$ y se aplica al mismo el escalón desplazado mostrado en la siguiente figura.

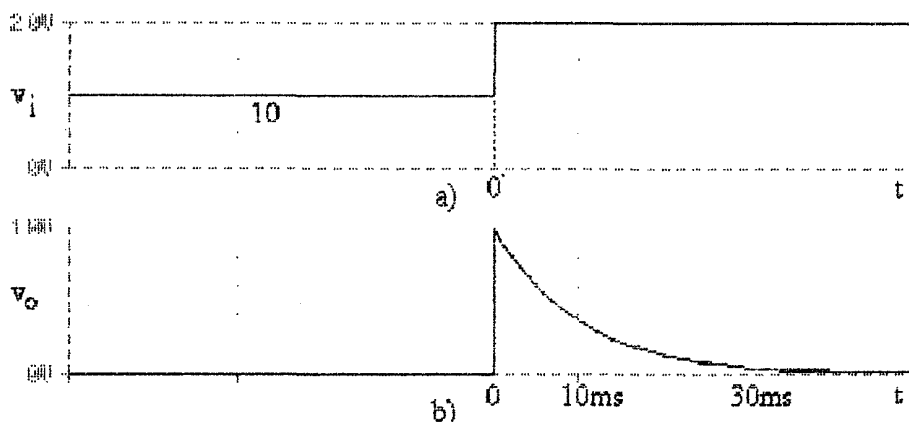


Figura 7. a) Señal de entrada, b) señal de salida.

$t < 0$: La aplicación de una tensión V_1 durante un muy largo tiempo permite asegurar que en este intervalo el condensador se habrá cargado a V_1 volt. Así:

$$v_O(t < 0) = 0$$

$t > 0$: La tensión en C tenderá exponencialmente hacia el valor V_2 . Con esto,

$$v_O(t > 0) = (V_2 - V_1) * e^{-t/RC}$$

Se observa que la transición de la señal de entrada, que tiene una magnitud $V_2 - V_1$, se transmite completamente hacia la salida. Esto se debe a que como la tensión en el condensador no puede variar en forma instantánea, la variación brusca de la señal de entrada aparecerá sobre la resistencia. La tensión en R, v_O , irá posteriormente disminuyendo hacia cero en forma exponencial.

Señal de entrada rampa. Usando la relación $v_R = v_g - v_C$ y reemplazando en esta ecuación el valor de v_C encontrado anteriormente para el filtro paso bajos se halla la respuesta del filtro paso altos:

$$v_O(t) = v_R(t) = \alpha t - [\alpha(t - RC) + \alpha RC e^{-t/RC}] = \alpha RC (1 - e^{-t/RC})$$

$$v_O(t) = \alpha RC (1 - e^{-t/RC})$$

esta respuesta puede ser descompuesta en tres intervalos:

$t \ll RC$: si el término exponencial se aproxima por los dos primeros términos de la serie

$$e^{-t/RC} \approx 1 - \frac{t}{RC}$$

al realizar esta aproximación la expresión de la tensión de salida se reduce a:

$$v_O(t) = v_R(t) = \alpha t$$

esto es, inicialmente la salida es idéntica a la entrada. La rampa aplicada a la entrada se transmitirá prácticamente inalterada a la salida si su duración es pequeña respecto de RC.

$t \approx RC$: en este intervalo deben considerarse todos los términos de la ecuación de v_O :

$t \gg RC$: En este intervalo el término exponencial se hace muy pequeño y la respuesta tiende a:

$$v_O = \alpha RC$$

esto es, la tensión de salida tiende a un valor constante.

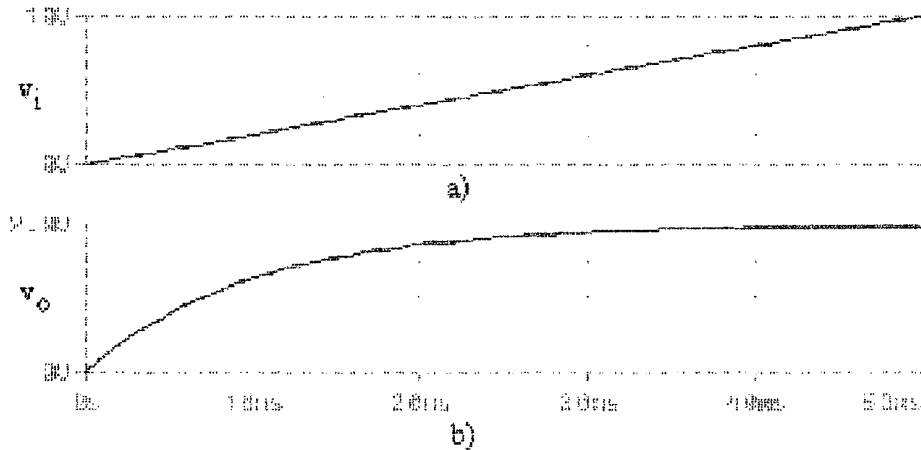


Figura 8. Circuito paso bajos. a) Señal de entrada, b) señal de salida.

En la figura 8 se muestra la respuesta de un circuito con $RC= 10ms$ a una señal de entrada rampa con $\alpha= 0.2$ volt/ms. Se observa que la señal de salida tiende a $\alpha RC= 2$ volt.

Ejemplo. Encontrar la respuesta del circuito a la señal de entrada de la figura 9.

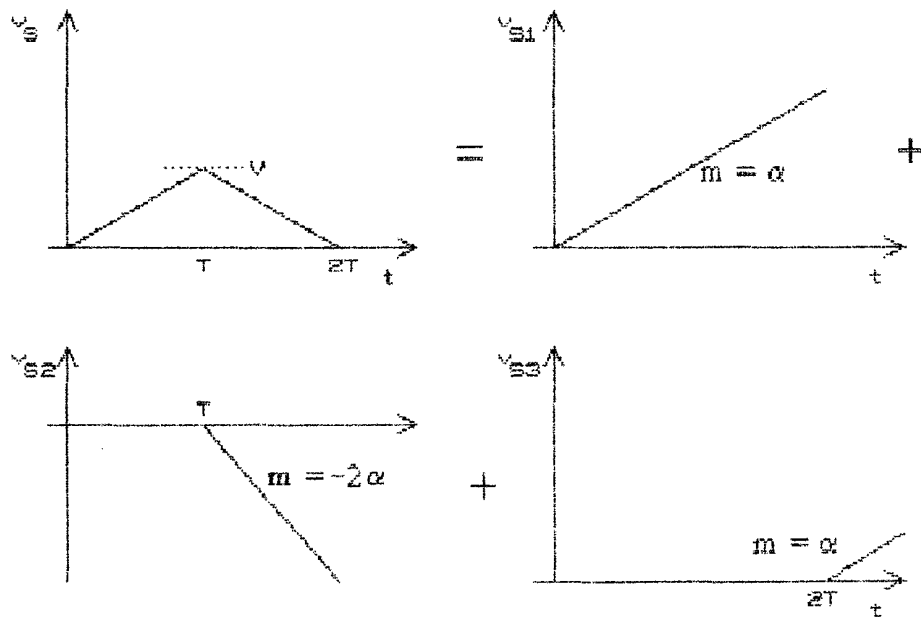


Figura 9. a) Señal de entrada, b) descomposición de la señal de entrada.

La red es lineal y permite el uso de de superposición. La señal de entrada puede ser descompuesta como se muestra en la figura anterior.

Así, la tensión de salida estará dada por:

$$v_O(t) = \alpha RC (1 - e^{-t/RC}) - 2 \alpha RC (1 - e^{-(t-T)/RC}) + \alpha RC (1 - e^{-(t-2T)/RC})$$

RESPUESTA DE REDES RC A SEÑALES PERIODICAS.

Señal de entrada rectangular. Una onda de común ocurrencia en Electrónica es la onda rectangular, mostrada en la figura 10. Utilizando redes RC es posible obtener, a partir de esta onda, otras formas de onda que pueden ser de utilidad en diversas aplicaciones. Obtendremos la respuesta en régimen permanente de los circuitos paso bajos y paso altos para este tipo de señal de entrada.

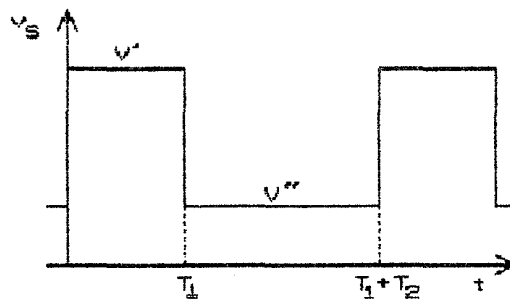


Figura 10. Señal rectangular.

Circuito Paso altos. La ecuación diferencial del circuito puede ser expresada como:

$$\frac{dv_s}{dt} = \frac{dv_O}{dt} + \frac{v_O}{RC}$$

de acá:

$$dv_s = dv_O + \frac{v_O}{RC} dt$$

integrando esta expresión entre $t = 0$ y $t = T$ se obtiene:

$$\int_{t_1}^{t_1+T} dv_s = \int_{t_1}^{t_1+T} dv_O + \frac{1}{RC} \int_{t_1}^{t_1+T} v_O dt$$

de acá:

$$v_S(t_1+T) - v_S(t_1) = v_O(t_1+T) - v_O(t_1) + \frac{1}{RC} \int_{t_1}^{t_1+T} v_O dt$$

Como la señal de entrada es periódica, la respuesta en régimen permanente también debe ser periódica. Esto es:

$$v_S(t_1+T) = v_S(t_1)$$

$$v_O(t_1+T) = v_O(t_1)$$

con lo anterior:

$$\text{Así: } \frac{1}{RC} \int_{t_1}^{t_1+T} v_O dt = 0$$

Esto es, el valor medio de la tensión de salida será cero. Esto es válido en régimen permanente para cualquier señal de entrada periódica. El condensador se carga a una tensión media igual al valor medio de la tensión de entrada por lo que el valor medio de la tensión de salida es cero.

Podemos aproximarnos a la forma de la tensión de salida empleando información encontrada en secciones anteriores. La señal de entrada presenta transiciones que, por la ubicación de C, deben ocurrir también en la señal de salida. Además, el valor medio de la tensión de salida debe ser cero. Así, la señal de salida debe ser en ciertos intervalos positiva y en otros negativa en forma tal que su valor medio sea cero. Finalmente, una vez ocurrida una transición, la tensión de salida debe variar exponencialmente hacia cero debido a la carga exponencial del condensador.

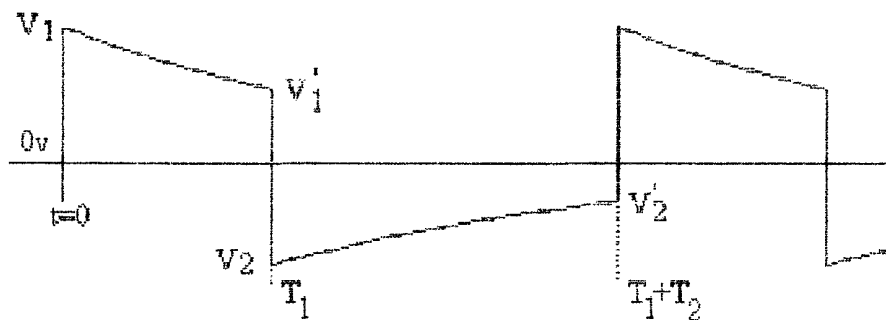


Figura 11. Señal de Salida

La onda de salida debe cumplir la relación:

$$V_1' - V_2 = V_1 - V_2' = V' - V''$$

Además:

$$V_1' = V_1 e^{-T_1/RC} ; V_2' = V_2 e^{-T_1/RC}$$

Empleando las relaciones anteriores y despejando V_1 se encuentra:

$$V_1 = (V' - V'') \frac{1 - e^{-T_1/RC}}{1 - e^{-T_1/RC}}$$

De la misma forma puede encontrarse V_2 .

Circuito paso bajos. La respuesta de un circuito paso bajos a una señal rectangular de salida puede ser encontrada analizando el comportamiento del circuitos a intervalos:

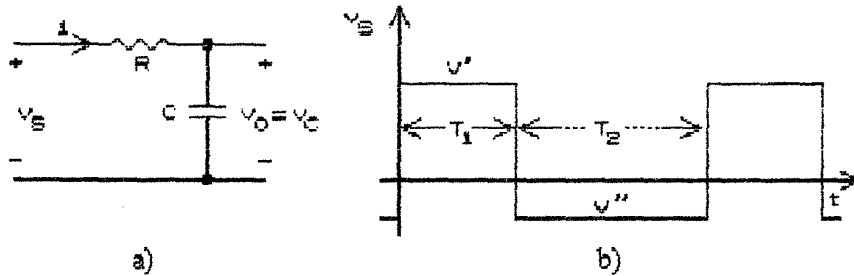


Figura 12. a) Circuito, b) señal de entrada.

intervalo $0 \leq t \leq T_1$: la tensión de salida, $v_O = v_C$, inicialmente en V_A , aumenta exponencialmente hacia V' . Durante este intervalo v_C puede ser descrito por la expresión:

$$v_O = v_C(t) = V_f + (V_i - V_f) * e^{-t/RC}$$

donde $V_i = V_A$
 $V_f = V'$

en $t = T_1$, la tensión en C habrá llegado a V_B :

$$v_O(T_1) = v_C(T_1) = V_B = V_f + (V_i - V_f) * e^{-T_1/RC}$$

intervalo $T_1 \leq t \leq T_1 + T_2$: en este intervalo se produce una disminución exponencial de v_C desde un valor inicial de V_B hacia V'' :

$$v_O(t) = v_C(t) = V_f' + (V_i' - V_f') * e^{-(t-T_1)/RC}$$

donde $V_i' = V_B$
 $V_f' = V''$

en $t = T_1 + T_2$, dada la naturaleza periódica de la tensión de salida, ésta habrá llegado a V_A

$$v_O(T_1 + T_2) = v_C(T_1 + T_2) = V_A = V_f' + (V_i' - V_f') * e^{-T_2/RC}$$

resolviendo simultáneamente las ecuaciones resultantes puede encontrarse la respuesta del circuito.

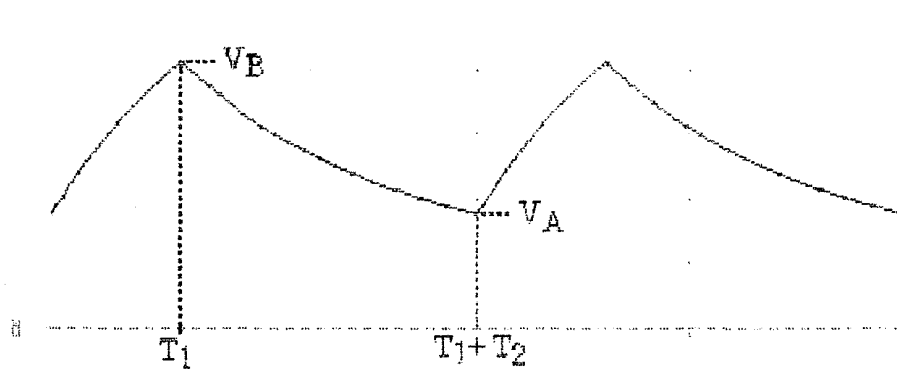


Figura 13. Respuesta del circuito.

La forma de la respuesta se muestra en la figura 13.

ATENUADORES. (Punta de Prueba de un Osciloscopio). En la figura se muestra la estructura de una punta de prueba con capacidad de atenuación. La punta de prueba incluye una resistencia R_1 y un capacitor variable C_1 que, combinados con la capacidad del cable coaxial C_c y una resistencia R_2 y un condensador C_i en la entrada del osciloscopio permiten formar un atenuador. En la figura 14 se muestra un atenuador con una capacidad de atenuación 10:1 y su circuito equivalente.

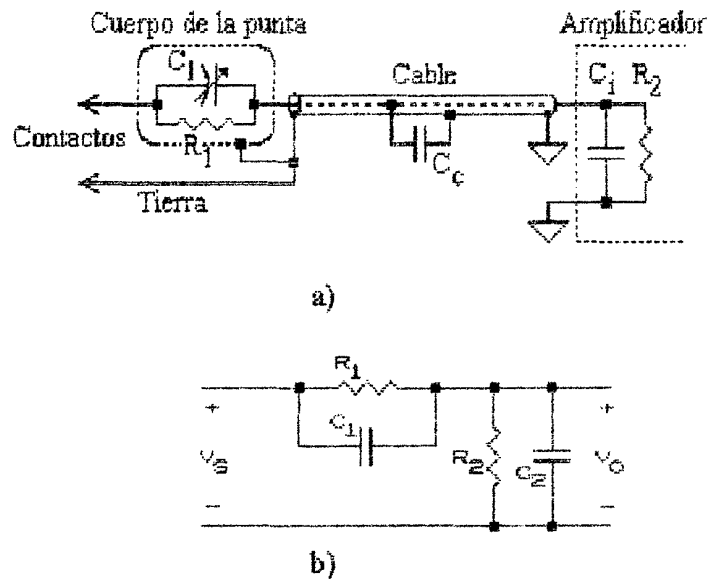


Figura 14. a) Atenuador 10:1, b) circuito equivalente.

En el circuito equivalente se tiene:

$$C_2 = C_c + C_i$$

Respuesta al escalón: en el análisis que sigue se llama q_1 y q_2 a la carga presente en C_1 y C_2 para $t < 0$. Del mismo modo, q_1' y q_2' son las cargas en C_1 y C_2 para $t > 0$.

Supongamos que se aplica un escalón con amplitud V a la punta de prueba:

intervalo $t < 0$: podemos suponer que todos los condensadores están descargados, esto es, $q_1 = q_2 = 0$, de modo que $v_{C1}(0^-) = v_{C2}(0^-) = 0$. Así, la tensión a la salida del atenuador es cero.

Respuesta inicial:

$t = 0^+$: el circuito equivalente del circuito se muestra en la figura 15b.

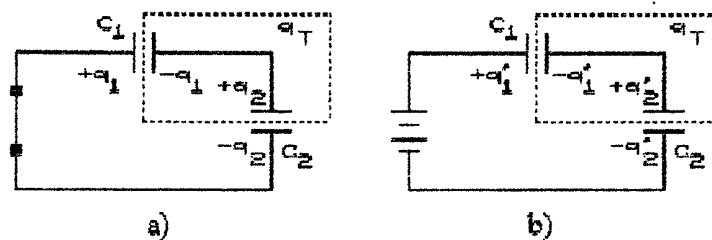


Figura 15. a) Circuito para $t < 0$, b) $t > 0$.

En este circuito, en el instante en que la tensión de entrada sube de 0 a V , debe circular una corriente impulsiva capaz de cargar instantáneamente a los condensadores de modo que se cumpla:

$$v_{C1}(0^+) + v_{C2}(0^+) = V$$

El proceso de carga de los condensadores debe ser instantáneo por lo que el mismo debe ocurrir en la forma de una redistribución de la carga presente en los capacitores en $t = 0^-$.

Redistribución de la carga. En la figura anterior se observa que para, $t < 0$, la carga presente en el electrodo derecho de C_1 y en el electrodo superior de C_2 es cero pues la tensión en ambos condensadores es cero. Esto es, la carga total presente en estos electrodos es:

$$q_T(0^-) = q_2 - q_1 = 0 - 0 = 0$$

esta carga no puede modificarse bruscamente al variar la tensión de entrada. Esta carga puede solamente redistribuirse. En la figura anterior se muestra la nueva distribución de carga en la que la carga en ambos condensadores es diferente de cero pero tiene el mismo valor de modo que se preserve el valor de $q_T(0^-)$. Esto es:

$$q_T(0^+) = q_2' - q_1' = 0 \Rightarrow q_2' = q_1' = q(0^+)$$

Además, se requiere que:

$$v_{C1}(0^+) + v_{C2}(0^+) = V ; \text{ recordando que } v_C = \frac{q}{C} \text{ tendremos:}$$

$$\frac{q(0^+)}{C_1} + \frac{q(0^+)}{C_2} = V$$

de acá se obtiene:

$$q(0^+) = \frac{V}{1/C_1 + 1/C_2} = q_1' = q_2'$$

puede ahora despejarse $v_{C_2}(0^+)$:

$$v_{C_2}(0^+) = \frac{q(0^+)}{C_2} = \frac{V}{1 + C_2/C_1} = \frac{V * C_1}{C_1 + C_2}$$

Respuesta final: en $t = \infty$ los condensadores se habrán cargado plenamente a sus valores finales y ya no tomarán corriente. Las tensiones en los condensadores estarán definidas por la división de tensión entre las resistencias:

$$v_{C_2}(\infty) = \frac{V * R_2}{R_1 + R_2}$$

La forma de la respuesta total depende de los valores relativos de resistencias y condensadores. En la siguiente figura se muestra la respuesta de un atenuador 10:1 a un escalón de 10 volt de amplitud.

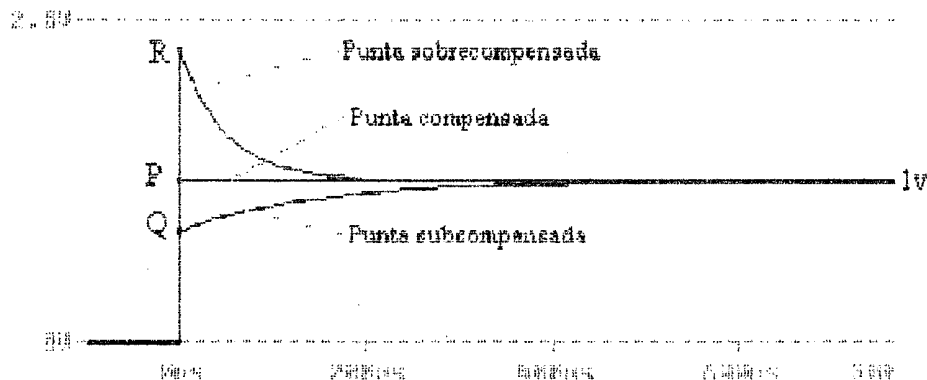


Figura 16. Posibles respuestas de una punta de prueba a un escalón.

Punta de prueba compensada: la punta de prueba está compensada si:

$$\frac{C_1}{C_1 + C_2} = \frac{R_2}{R_1 + R_2} \Rightarrow R_1 * C_1 = R_2 * C_2$$

En este caso la onda de salida tiene la misma forma que la onda de entrada.

Punta de prueba subcompensada. Esto ocurre si:

$$\frac{C_1}{C_1 + C_2} < \frac{R_2}{R_1 + R_2} \Rightarrow R_1 * C_1 < R_2 * C_2$$

La onda de salida sube exponencialmente desde Q hacia su valor final de 1 volt.

Punta de prueba sobrecompensada. Existe sobrecompensación si:

$$\frac{C_1}{C_1 + C_2} > \frac{R_2}{R_1 + R_2} \Rightarrow R_1 * C_1 > R_2 * C_2$$

La tensión de salida es inicialmente mayor que su valor final. La onda de salida llega hasta R y luego decae hacia el valor final de 1 volt.

En una punta de prueba real es posible ajustar el valor de C_1 lo cual permite, generalmente, corregir el error de compensación. Sin embargo, el rango de compensación depende de la longitud del cable y de las características de la entrada del osciloscopio. Al usar una punta de prueba inadecuada en un osciloscopio puede ocurrir que no sea posible lograr la compensación.

Comportamiento de una punta de prueba frente a una señal periódica. Si se aplica a una punta de prueba una señal periódica, la misma puede ser verse deformada en la pantalla del osciloscopio si la punta de prueba no está compensada: una onda periódica puede ser expandida en una serie de Fourier de la forma:

$$f(t) = a_0 + \sum a_n \cos(n\omega t) + \sum b_n \sin(n\omega t)$$

para que la onda no se deforme es necesario que la atenuación sea la misma para todas las componentes de $f(t)$, esto es, que la función de transferencia sea independiente de la frecuencia. El circuito equivalente de la punta de prueba tiene la siguiente función de transferencia:

$$F(j\omega) = \frac{\frac{R_2}{1 + j\omega R_2 C_2}}{\frac{R_1}{1 + j\omega R_1 C_1} + \frac{R_2}{1 + j\omega R_2 C_2}}$$

Si $R_1 C_1 = R_2 C_2$ esta expresión se reduce a:

$$F(j\omega) = \frac{R_2}{R_1 + R_2}$$

esto es, si la punta de prueba está compensada la función de transferencia se hace independiente de la frecuencia y todas las componentes de una señal periódica aplicada a la punta de prueba serán atenuadas en la misma proporción. De este modo, la imagen que se verá en la pantalla del osciloscopio será una versión no deformada de la señal aplicada a la punta de prueba.

Efecto de la impedancia del generador sobre la respuesta de una punta de prueba. En el análisis anterior se ha ignorado la impedancia propia del generador. En una situación real, esta impedancia producirá un efecto de desbalance que puede llegar a ser muy importante si la impedancia del generador es elevada. Este efecto es fácil de visualizar cuando la impedancia del generador es resistiva pura (R_s) y la punta de prueba está compensada.

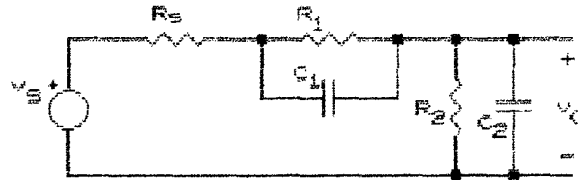


Figura 17. Efecto de la impedancia del generador.

Supongamos que la señal v_g consiste en un escalón de amplitud V . La tensión aplicada a la punta de prueba será v_g' como se muestra en la figura anterior. Puede aprovecharse el hecho de que en una punta de prueba compensada no circula corriente entre los puntos centrales de la rama resistiva y la rama capacitiva para simplificar el circuito en la forma mostrada en la figura. En la versión simplificada puede aplicarse el teorema de Thevenin y así obtener el circuito mostrado en la figura 18:

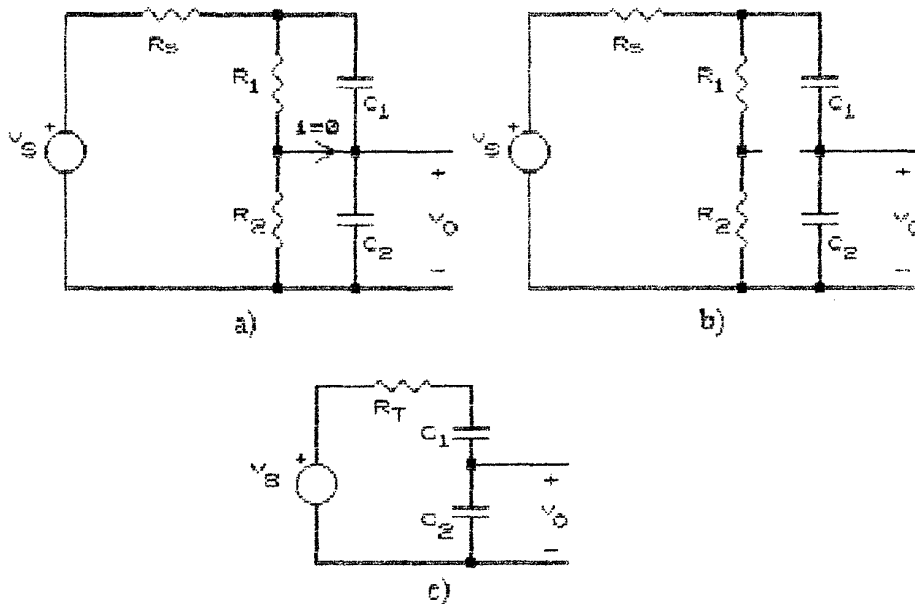


Figura 18. Simplificación del circuito.

En esta figura se hace evidente que la respuesta tendrá forma exponencial. Esto es, a pesar de que la punta de prueba está compensada, la señal de salida de la punta de prueba será una versión deformada de la señal de entrada.

CIRCUITOS CONFORMADORES DE ONDA CON DIODOS.

El uso de diodos, en combinación con resistencias, condensadores y fuentes de tensión, permite modificar la forma de una onda. Por ejemplo, una combinación de estos elementos (rectificador) permite obtener una onda continua a partir de una onda alterna. Otra combinación (fijador) permite desplazar totalmente una onda a un nivel arbitrario. Una tercera combinación (recortador) permite eliminar la porción de una onda que está fuera de una banda arbitraria.

Modelos del diodo. El análisis de circuitos con diodos se simplifica notablemente si el diodo se reemplaza por un modelo. Los modelos de la siguiente figura permiten obtener resultados razonablemente próximos a los reales en la mayor parte de los casos. El modelo a usar depende de las características del circuito. Si, por ejemplo, las resistencias del circuito tienen valores elevados frente a las resistencias del diodo estas últimas pueden ser ignoradas. Si, además, las fuentes de tensión del circuito producen una tensión neta muy grande frente a V_F . En un circuito con estas características puede emplearse el modelo de diodo ideal.

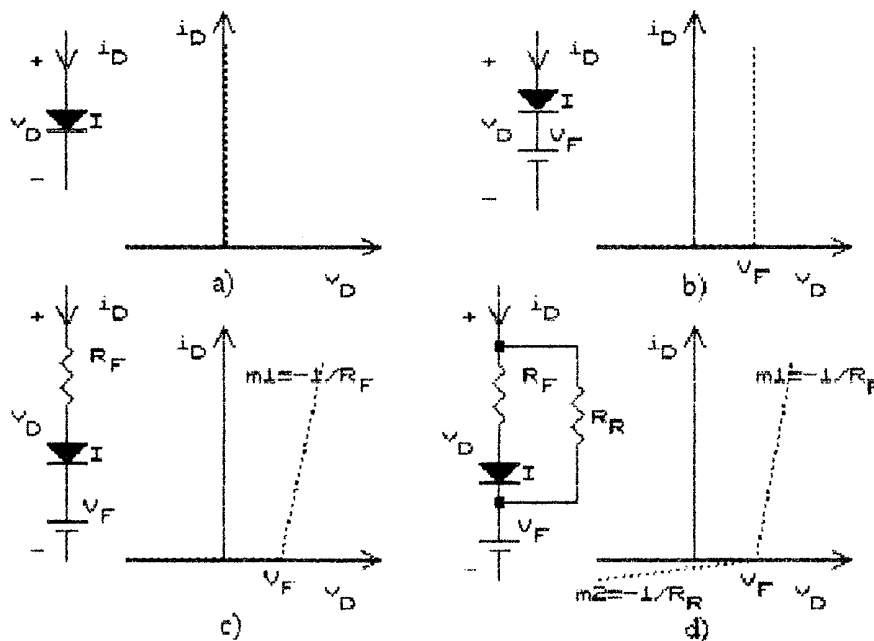


Figura 19. Modelos del diodo.

Circuitos recortadores. Los circuitos recortadores permiten eliminar la parte de una onda que, dependiendo de la estructura del recortador, quede por encima por debajo de un cierto nivel. El comportamiento de un recortador puede ser definido mediante la llamada característica de transferencia, que es una representación de la forma en que varía v_O con v_S . Para mostrar el principio de operación de un recortador estudiaremos el comportamiento de un circuito simple.

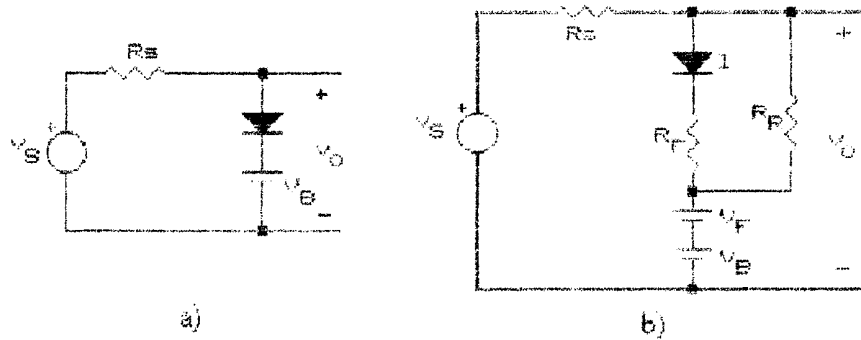


Figura 20. a) Recortador, b) circuito equivalente total.

Hallaremos la característica de transferencia de este circuito usando el modelo de tercer orden del diodo. El análisis puede hacerse en dos partes dependiendo de la forma de operación del diodo.

a) El diodo conduce si $v_S > V_B + V_F$. Si se verifica esta desigualdad la respuesta puede ser determinada en el circuito equivalente de la figura en el que se ha efectuado la aproximación $R_F || R_R \approx R_F$.

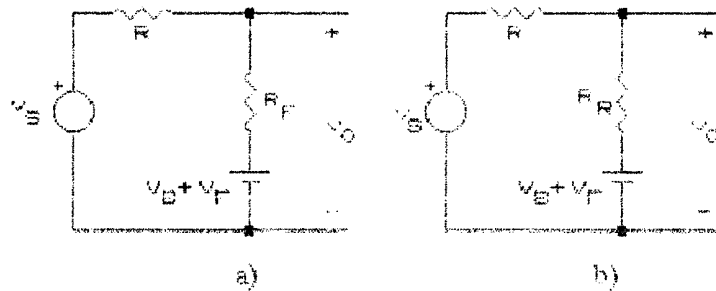


Figura 21. Circuito equivalente cuando: a) el diodo conduce, b) el diodo no conduce.

Aplicando el teorema de Millman se encuentra:

$$v_O = \frac{\frac{v_S}{R} + \frac{(V_B + V_F)}{R_F}}{\frac{1}{R} + \frac{1}{R_F}} \quad ; \text{ diodo ideal conduce}$$

b) El diodo no conduce si $v_S < V_B + V_F$. En este caso el circuito de la figura 21b es válido. La tensión de salida está ahora dada por:

$$v_O = \frac{\frac{v_S}{R} + \frac{(V_B + V_F)}{R_R}}{\frac{1}{R} + \frac{1}{R_R}} \quad : \text{ diodo ideal cortado}$$

La característica de transferencia resultante se muestra en la figura 22.

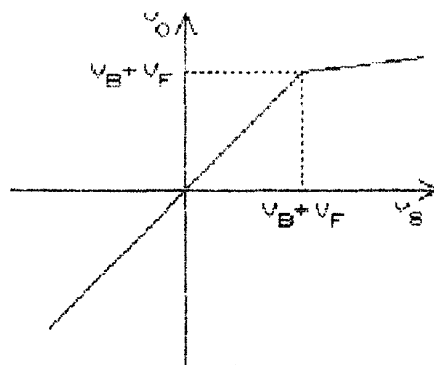


Figura 22. Característica de transferencia.

La característica cambia de pendiente en $v_S = V_B + V_F$. Sin embargo, el valor de v_O evaluado al aproximarse a $v_S = V_B + V_F$ por la izquierda (ecuación del diodo ideal cortado) debe igualar al valor de v_O al aproximarse a $v_S = V_B + V_F$ desde la derecha (ecuación del diodo ideal conduciendo).

En la característica anterior se observa que al aplicar en la entrada una señal v_S , la porción de ésta con amplitudes superiores a $V_B + V_F$ atenuada fuertemente. En cambio, amplitudes inferiores a $V_B + V_F$ pasarán a la salida prácticamente inalteradas.

En la siguiente figura se muestra la respuesta de este recortador al inyectar en su entrada una señal triangular.

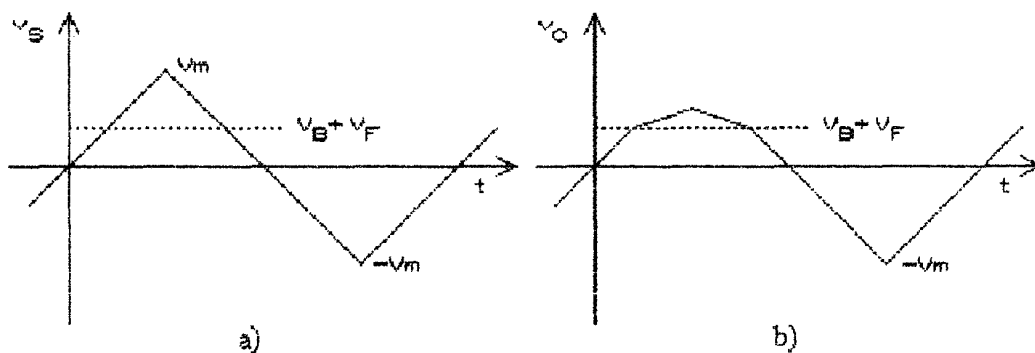


Figura 23. a) Señal de entrada triangular, b) señal de salida.

Errores de un recortador. La característica ideal de un convertidor como el mostrado en la figura se muestra con línea segmentada en la figura 22. En esta característica ideal, la tensión de salida es:

$$v_O = v_S \text{ si } v_S < V_B + V_F$$

$$v_O = V_B + V_F \text{ si } v_S > V_B + V_F$$

Los errores de un recortado se expresan tomando como referencia el comportamiento de un recortador ideal.

-error 1. Este error consiste en la diferencia entre las proyecciones en el eje v_O de la característica ideal y de la característica real.

-error 2. En este convertidor, la característica ideal pasa por el origen. En cambio, la característica real tiene un intercepto que corresponde al error 2.

Se debe procurar que los errores 1 y 2 se aproxime a cero. Esto ocurrirá si se verifican las desigualdades $R \gg R_F$ y $R \ll R_R$. En la práctica se toma:

$$R = \sqrt{R_F * R_R}$$

Ejemplo: Hallar la característica de transferencia del circuito de la figura 24. Considere los diodos ideales.

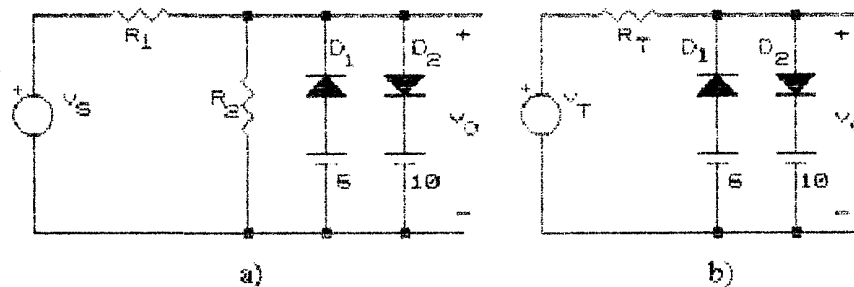


Figura 24. Recortador: a) circuito equivalente, b) circuito simplificado.

El circuito puede ser simplificado usando Thevenin (figura 24b):

$$v_T = v_S * \frac{R_2}{R_1 + R_2} ; R_T = R_1 || R_2$$

En el circuito simplificado se observa que el diodo D_1 conducirá si $v_T < 5$ volt. La conducción de D_2 ocurrirá, en cambio, si $v_T > 10$ volt. Esto es, en el intervalo $5 \leq v_T \leq 10$ ningún diodo conducirá. La tensión de salida del recortador estará dada por las siguientes relaciones:

$$v_O = 5 \quad v_T < 5$$

$$v_O = v_T \quad 5 \leq v_T \leq 10$$

$$v_O = 10 \quad v_T > 10$$

Aplicación. En la figura 25 se muestra un circuito recortador ampliamente usado en instrumentación. El circuito, de gran simplicidad, permite proteger circuitos electrónicos

contra sobrevoltajes. En este caso, cualquier tensión que salga del rango -10.7 a $+10.7$ volt hará conducir uno de los diodos. Las señales dentro del rango anterior no experimentarán modificación.

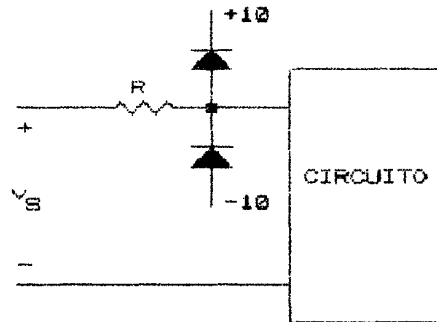


Figura 25. Circuito protector.

CIRCUITOS CON DIODOS Y CAPACITORES

El uso de condensadores en circuitos con diodos permite también modificar la forma de una onda. Los circuitos fijadores y detectores de envolvente constituyen aplicaciones muy importantes de este tipo de circuitos.

Estudiaremos la forma de análisis de este tipo de circuito mediante un ejemplo.

Ejemplo. En el circuito de la figura determinar la tensión de salida utilizando el modelo de diodo ideal con una caída $V_F = 0.75$ volt.

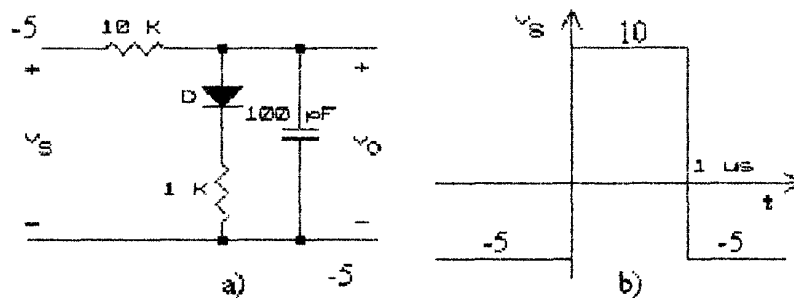


Figura 26. a) Circuito con diodo y capacitor, b) señal de entrada.

El estudio del circuito puede realizarse por tramos:

intervalo $t < 0$: el circuito equivalente para este intervalo se muestra en la figura 27a. Se observa que el diodo está polarizado inversamente por lo que el circuito puede reducirse a la forma mostrada en la figura 27b.

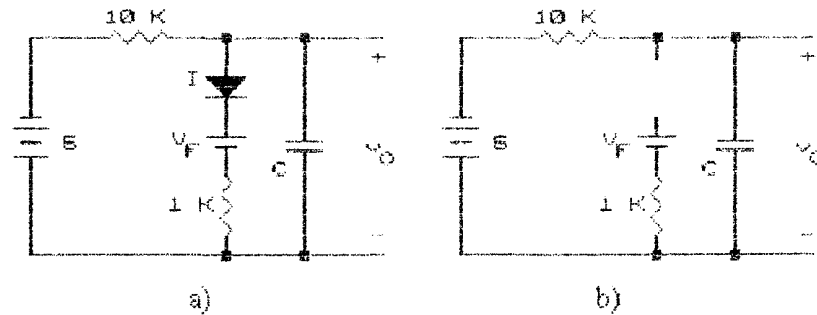


Figura 27. a) Circuito para $t < 0$, b) simplificación.

La tensión en C al término del intervalo será $v_C(0^-) = -5$ volt.

intervalo $0 \leq t \leq 1 \mu s$: la tensión en la entrada cambia a +10 volt. El circuito equivalente al empezar el intervalo se muestra en la figura 28.

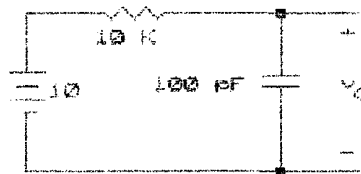


Figura 28. Circuito equivalente. El diodo no conduce.

El diodo no conducirá mientras la tensión en C lo mantenga polarizado inversamente. La tensión en C tenderá hacia +10 volt desde un valor inicial desde -5 volt. Sin embargo, la validez del circuito anterior durará sólo hasta el instante t_x en que v_C supere el nivel 0.75 volt, instante en el cual el diodo iniciará su conducción.

La tensión v_C variará exponencialmente:

$$v_C = V_f + (V_i - V_f) e^{-t/RC}$$

$$V_f = 10 \text{ v}$$

$$V_i = -5 \text{ v}$$

$$RC = 10^4 * 10^{-10} = 1 \mu s$$

El diodo empezará a conducir en t_x cuando $v_C = 0.75$ v.

$$v_C(t_x) = 0.75 = 10 + (-5 - 10) e^{-t_x/RC}$$

Despejando se halla $t_x = 0.48 \mu s$. Se observa que si el pulso hubiera tenido una duración menor que t_x , el diodo no hubiera llegado a conducir dentro de este intervalo. La tensión $v_C(t_x) = 0.75$ volt será el valor inicial para el cambio exponencial de v_C en el intervalo siguiente.

Si $t > t_x$ el diodo conducirá. El circuito equivalente válido para esta situación se muestra en la figura 29.

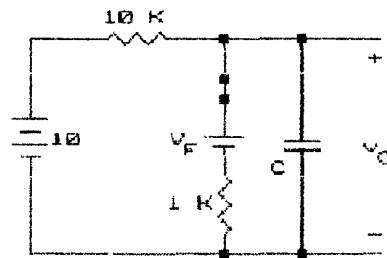


Figura 29. Circuito para intervalo $0.48 \mu s < t < 1 \mu s$.

El condensador se cargará exponencialmente desde un valor inicial V_i' de 0.75 volt hacia un valor final V_f' que puede ser encontrado aplicando el teorema de Millman en aa'.

$$V_f' = \frac{\frac{10}{10 \text{ K}} + \frac{0.75}{1 \text{ K}}}{\frac{1}{10 \text{ K}} + \frac{1}{1 \text{ K}}} = 1.59 \text{ v}$$

esto es:

$$v_C = V_f' + (V_i' - V_f') e^{-(t-0.48\mu s)/R'C}$$

la constante de tiempo en este intervalo es $R'C = (1 \text{ K} || 10 \text{ K}) * 10^{-10} = 0.1 \mu s$. Esta constante de tiempo es muy pequeña frente a la duración de este intervalo por lo que, al término del mismo, la tensión en C habrá llegado a su valor final de 1.59 volt.

intervalo $t > 1 \mu s$: al iniciarse este intervalo la tensión de entrada cae bruscamente a -5 volt. La tensión en C variará exponencialmente desde 1.59. El diodo se mantendrá conduciendo mientras $v_C > 0.75$ volt. Inicialmente, el circuito equivalente para este intervalo se muestra en la figura.

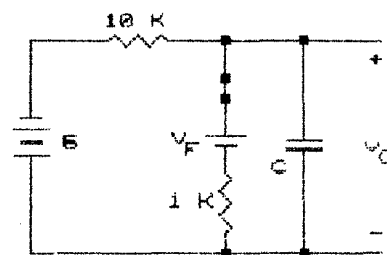


Figura 30. Circuito equivalente inicial para $t > 1 \mu s$

Ahora:

$$v_C(t) = V_f'' + (V_i'' - V_f'') e^{-(t-1\mu s)/R'C}$$

$$V_i'' = 1.59 \text{ v}$$

el valor final de v_C en el intervalo puede ser encontrado aplicando Thevenin en aa':

$$V_f'' = \frac{\frac{-5}{10K} + \frac{0.75}{1K}}{\frac{1}{10K} + \frac{1}{1K}} = 0.22 \text{ v}$$

En $t = t_y$, la tensión v_C caerá a 0.75 volt. y el diodo dejará de conducir.

$$v_C(t_y) = 0.75 = 0.22 + (1.59 - 0.22) e^{-(t_y - 1\mu s)/R'C}$$

Se halla $t_y = 1.1 \mu s$.

Posteriormente, el diodo deja de conducir y C se carga hacia -5 volt con una constante de tiempo de 1 ms.

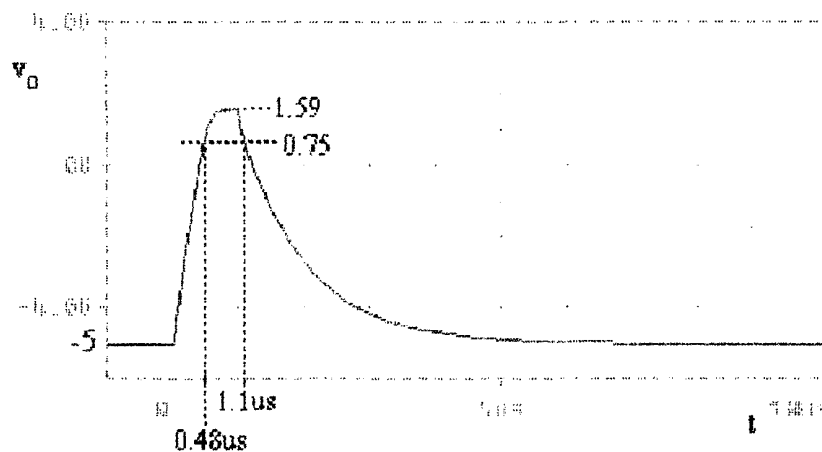


Figura 31. Respuesta total del circuito.

Circuitos fijadores. Son circuitos que desplazan una onda de modo que éste se ubique totalmente por encima o por debajo de un cierto nivel. Esta característica se usa en procesos de demodulación AM y en la recuperación de los pulsos de sincronismo en televisión y en sistemas de transmisión de información multiplexada en el tiempo.

Fijador básico. Consideremos el circuito simplificado de la figura, en el que C está inicialmente descargado y en el que el diodo es ideal.:

Al circuito se aplica la señal de entrada:

$$v_S = 0 \quad t < 0$$

$$= V_m \text{ sen}(wt) \quad t \geq 0$$

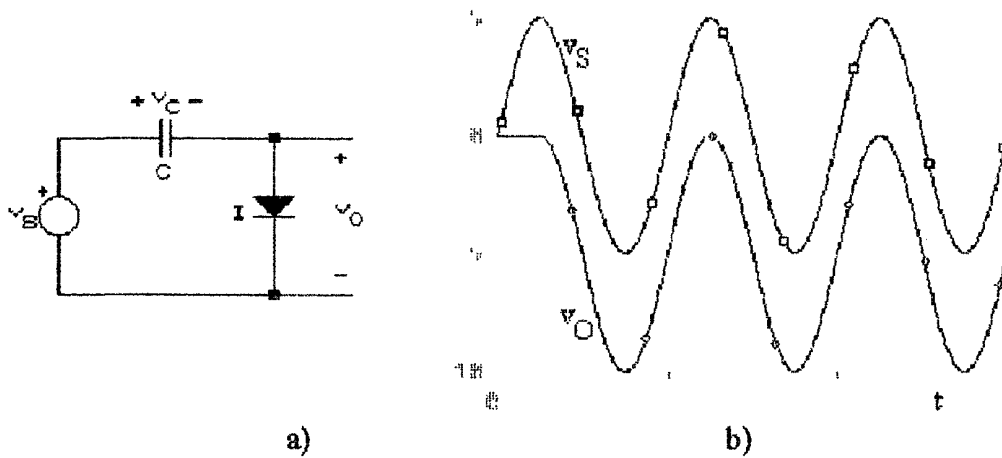


Figura 32. a) Fijador básico, b) señal de entrada y salida

La polaridad inicial de v_S hace que el diodo conduzca (con caída cero) entre 0 y $\pi/2$. En este intervalo, C se irá cargando instantáneamente al valor de v_S de manera que, en el pico de la señal de entrada, $v_C(\pi/2) = V_m$. Se observa que la tensión en C polariza inversamente al diodo. A partir de $\pi/2$ el efecto combinado de v_C y v_S produce una polarización inversa del diodo el cual se comportará en adelante como un circuito abierto. En el circuito la tensión de salida, v_O , está dada por:

$$v_O = v_S - v_C$$

A partir de $\pi/2$ el pico positivo de la señal queda fijado a cero como se muestra en la figura 32.

El circuito anterior tiene el inconveniente siguiente: si se reduce la amplitud de la señal de entrada, el condensador, cargado previamente a V_m , no tiene forma de perder carga y, como se muestra en la figura 33, el pico positivo de la señal ya no queda fijado a cero.

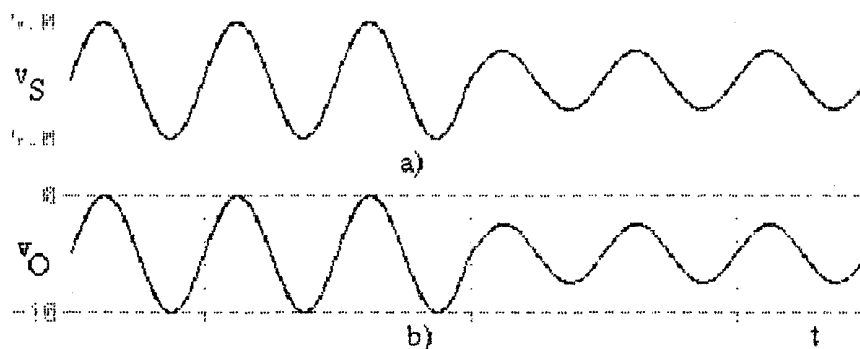


Figura 33. Pérdida de la fijación: a) señal de entrada, b) señal de salida.

Para evitar este problema debe proveerse al condensador de un camino para que permitirle descargarse cuando se reduzca la amplitud de la señal de entrada. Esta solución se muestra en la figura 34:

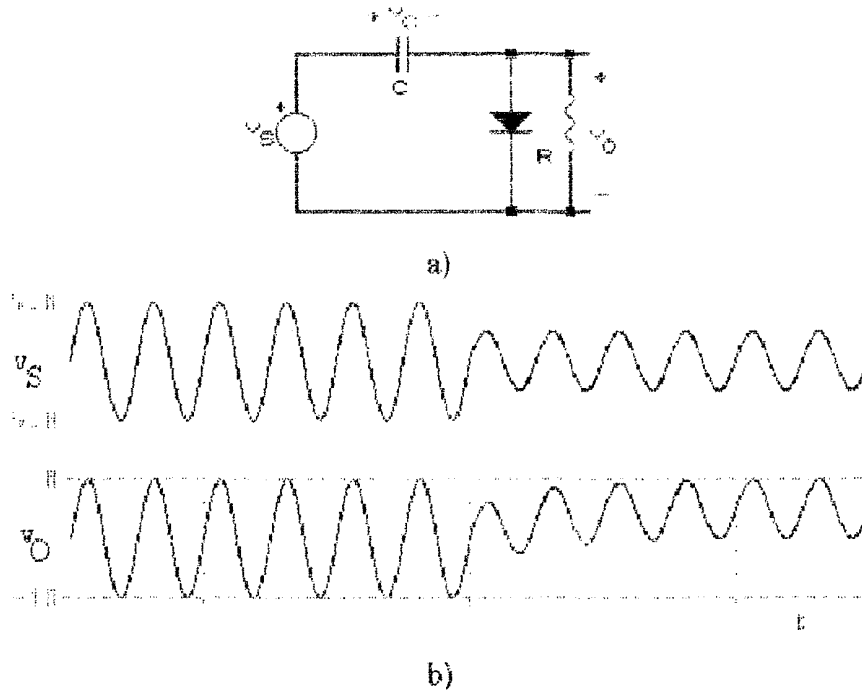


Figura 34. Resistencia de corrección: a) circuito, b) formas de onda.

Ahora, si la señal de entrada reduce su amplitud en la forma mostrada en la figura 33, C perderá gradualmente carga a través de R hasta que, nuevamente, el pico positivo de la nueva señal de entrada quede fijado en cero.

Ejemplo: Para el fijador de la figura halle $v_O(t)$. C está inicialmente descargado. El diodo es ideal salvo $R_F = 100$.

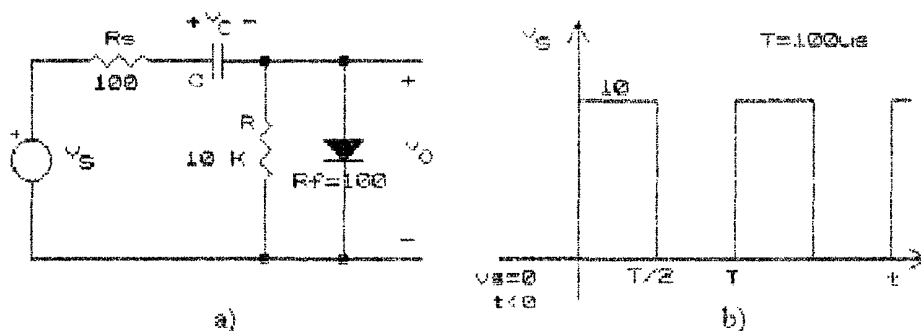


Figura 35. a) Circuito, b) señal de entrada.

intervalo $t < 0$: en este intervalo el circuito está desenergizado por lo que:

$$v_O(t < 0) = v_C(t < 0) = 0$$

intervalo $0 \leq t \leq T/2 = 100 \text{ us}$: En este intervalo el diodo está polarizado directamente. El circuito equivalente válido para este intervalo se muestra en la siguiente figura:

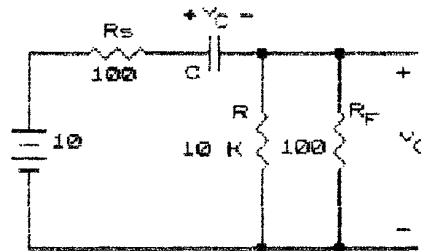


Figura 36. Circuito equivalente, $0 \leq t \leq T/2 = 100 \text{ us}$: .

La tensión de salida v_O variará en forma exponencial:

$$v_O = V_f + (V_i - V_f) e^{-t/RC}$$

donde: $V_f = 0$

$$V_i = 10 * \frac{R_F^*}{R_s + R_F^*}, \text{ acá } R_F^* = \frac{R * R_F}{R + R_F} \approx R_F$$

$$RC = C * (R_s + R || R_F) = 200 \text{ us}$$

Del mismo modo, la expresión para el voltaje en el capacitor es:

$$v_C(t) = V_f' + (V_i' - V_f') e^{-t/RC}$$

$$V_f' = 10$$

$$V_i' = 0$$

Así, el voltaje de salida es: $v_O(t) = 5 e^{-t/RC}$

El intervalo termina en $t = 100 \text{ us}$. Debemos calcular la tensión en C en ese instante pues esta tensión constituirá el valor inicial de v_C para el intervalo siguiente:

$$v_O(100 \text{ us}) = 5 e^{-100 \text{ us} / 200 \text{ us}} = 5 e^{-1/2} = 3 \text{ volt}$$

La caída en R_s será también de 3 volt (ambas resistencias tienen igual valor. Esto hace que, al término del intervalo, $v_C(100 \text{ us}) = 4 \text{ volt}$.

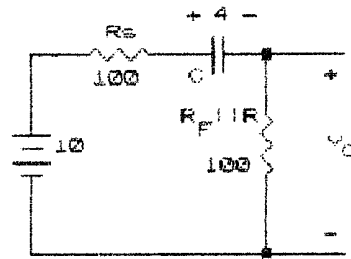


Figura 37 Circuito en $t = 100 \mu s$.

intervalo $100 \mu s \leq t \leq 200 \mu s$: En $t = 100 \mu s$ la tensión de entrada se hace cero. La tensión en C polariza inversamente al diodo y éste se abre. El circuito válido para este intervalo se muestra en la figura.

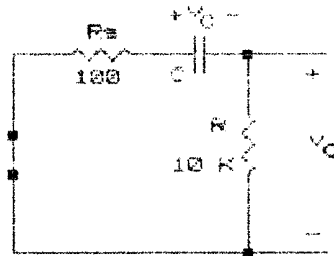


Figura 38 Circuito para el intervalo $100 \mu s \leq t \leq 200 \mu s$

La tensión de salida v_O varía exponencialmente.

$$v_O(t) = V_f'' + (V_i' - V_f'') e^{-(t-100\mu s)/R'C}$$

donde: $V_f'' = 0$, $V_i'' = -v_C(100\mu s) * \frac{R}{R + R_s} = -4 \text{ volt}$

$$R'C = C(R_s + R) = 10^4 \mu s$$

Esta constante de tiempo $R'C$ es muy grande respecto a la duración del intervalo por lo que v_C prácticamente no varía y, al final del intervalo, $v_C(200 \mu s) = 4 \text{ volt}$.

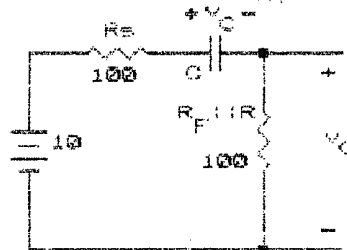


Figura 39. Circuito para el intervalo $200 \mu s < t < 300 \mu s$

intervalo $200 \text{ us} < t < 300 \text{ us}$: El efecto combinado de la tensión de alimentación y v_C polariza directamente al diodo y éste conduce. El circuito equivalente se muestra en la figura 39. Nuevamente, la tensión de salida v_O varía en forma exponencial:

$$v_O(t) = V_f''' + (V_i''' - V_f''') e^{-(t - 200\text{us}) / RC}$$

$$V_f''' = 0, V_i''' = 3 \text{ volt}, RC = 200 \text{ us}$$

Al término del intervalo $v_O(300 \text{ us}) = 3 * 0.6 = 1.8 \text{ volt}$. Además, $v_C(300 \text{ us}) = 6.4 \text{ volt}$. Este último valor constituirá el valor inicial para el intervalo siguiente.

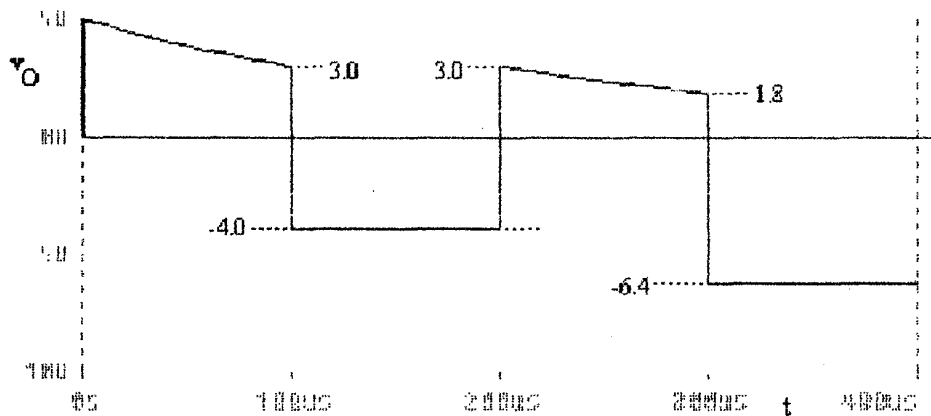


Figura 40. Señal de salida.

intervalo $300 \text{ us} < t < 400 \text{ us}$: $v_O(t)$ permanece aproximadamente constante en este intervalo con un valor:

$$v_O(t) = \frac{-10K}{100 + 10K} v_C(t) \approx -6.4 \text{ volt.}$$

El análisis del circuito puede continuar empleando la misma técnica seguida hasta acá. En régimen permanente la carga ganada por C en los intervalos en que $v_S = 10 \text{ v}$ debe ser igual a la carga perdida por C en los intervalos en que $v_S = 0 \text{ v}$.

Teorema de Fijación. Consideremos el circuito de la figura. Si se aplica a la entrada del mismo la señal rectangular v_S de la figura 35b, de acuerdo al estudio realizado en la sección anterior, la señal de salida tendrá, en régimen permanente, la forma mostrada en la figura siguiente.

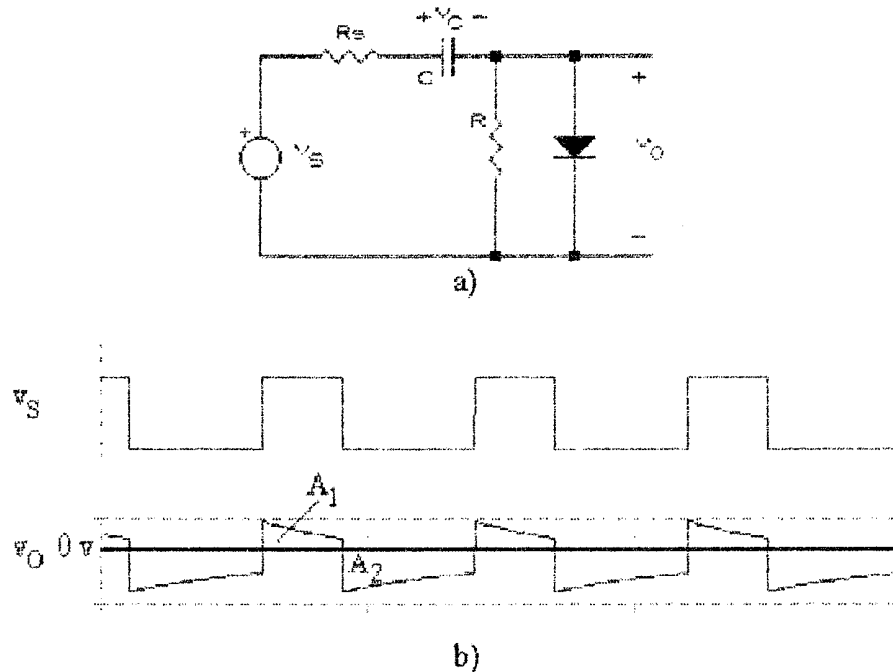


Figura 41 a) Circuito, b) señales de entrada y salida.

En régimen permanente la señal de salida debe ser periódica. Esto requiere que la carga neta ganada por el condensador en un período debe ser cero (Teorema de fijación): esto es,

$$\int_0^T i \, dt = 0$$

la corriente $i(t)$ puede ser expresada como: $i(t) = \frac{v_O(t)}{R_{aa'}}$

durante el intervalo de conducción del diodo $R_{aa'} = \frac{R * R_F}{R + R_F} \approx R_F$

durante el intervalo de corte del diodo $R_{aa'} = \frac{R * R_F}{R + R_F} \approx R$

$$\int_0^{T1} \frac{v_O}{R_F} \, dt + \int_{T1}^{T1+T2} \frac{v_O}{R} \, dt = \frac{A_1}{R_F} + \frac{A_2}{R} = 0$$

Aplicación del Teorema de fijación. En el circuito de la figura encontrar v_O en régimen permanente. El diodo tiene $R_F = 50 \Omega$. C es arbitrariamente grande.

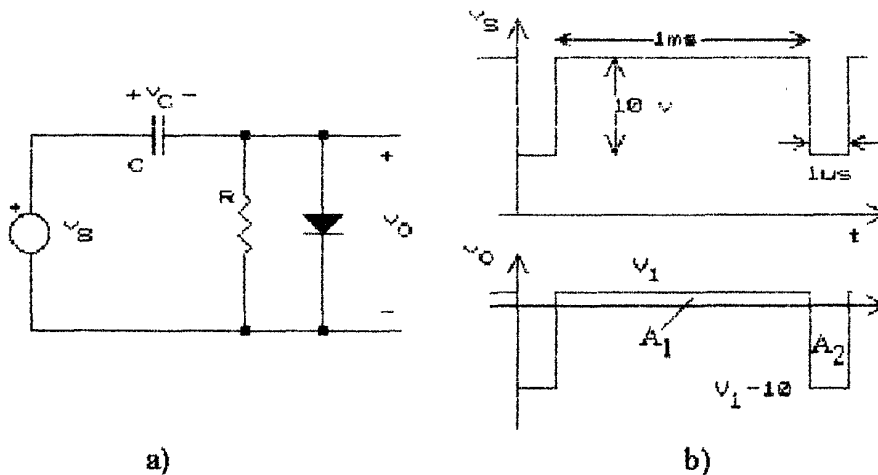


Figura 42. a) Circuito, b) señales de entrada y salida.

En este circuito $R_s = 0 \Omega$ y, además, las constantes de tiempo de carga y descarga de C , $R_F C$ y RC , son muy grandes por lo que la señal de salida será una versión no deformada y de la misma amplitud que la señal de entrada. La onda de salida estará desplazada hacia abajo.

$$\frac{A_1}{R_F} + \frac{A_2}{R} = 0$$

$$\frac{V_1 * 1\text{ms}}{50} + \frac{(V_1 - 10) * 1\text{us}}{50\text{K}} = 0$$

de esta ecuación se obtiene $V_1 = 10 \text{ uV}$.

Se observa que el nivel de fijación será independiente de los niveles de entrada y salida.

Respuesta del circuito fijador a una señal rectangular en régimen permanente. Consideremos el circuito fijador de la figura. Si en la entrada del mismo se aplica una señal rectangular, de acuerdo a lo visto en párrafos anteriores la señal de salida tendrá la forma indicada en la figura 41 que se repite en la figura 43:

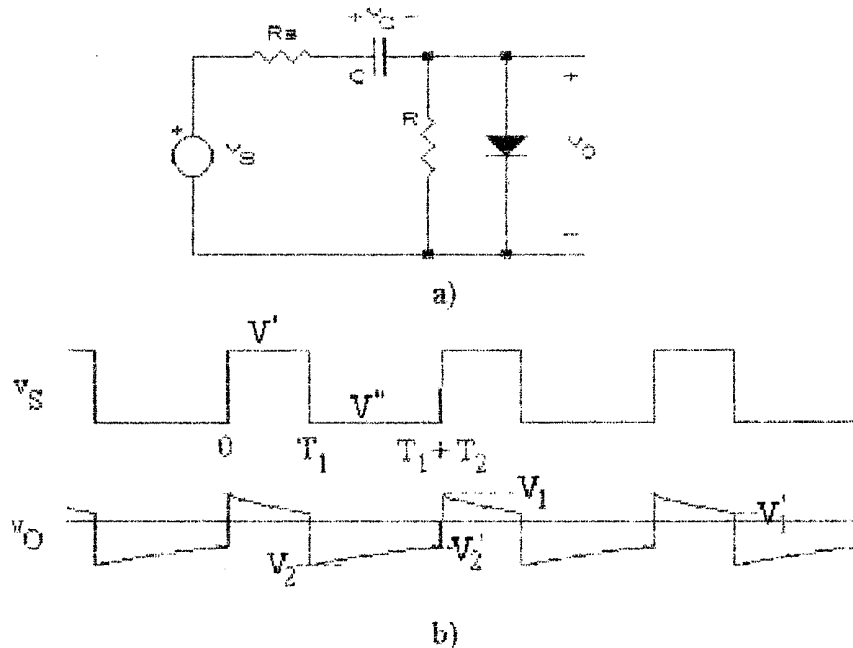


Figura 43. a) Circuito fijador, b) señal de salida.

El análisis del circuito puede efectuarse empleando los circuitos equivalentes de la figura 44. Se supone que la resistencia entre los terminales de salida durante el intervalo de conducción y corte del diodo es, aproximadamente, R_F y R , respectivamente.

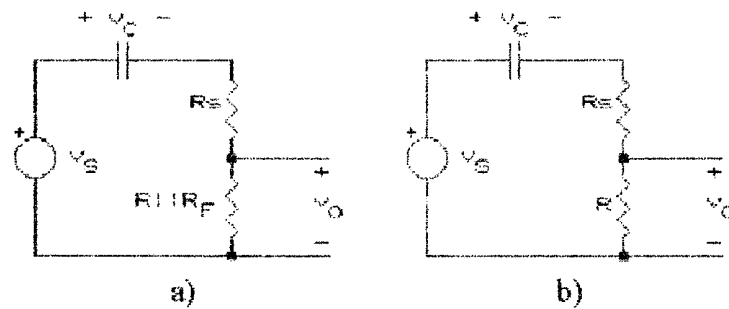


Figura 44. Circuitos equivalentes: a) D conduce, b) D no conduce.

En $t = 0^-$ el diodo no conduce, la tensión de entrada es V'' y la tensión de salida es V_2' . Así:

$$v_C(0^-) = V'' - V_2' * \frac{R_s + R}{R}$$

en $t = 0^+$ el diodo conduce, la tensión de entrada es V' y la tensión de salida es V_1 . Ahora:

$$v_C(0^+) = V' - V_1 * \frac{R_s + R_f}{R_f}$$

La tensión en C no puede variar bruscamente:

$$v_C(0^+) = v_C(0^-)$$

$$V'' - V_2' * \frac{R_s + R}{R} = V' - V_1 * \frac{R_s + R_f}{R_f}$$

de esta expresión puede despejarse:

$$V = V' - V'' = V_1 * \frac{R_s + R_f}{R_f} - V_2' * \frac{R_s + R}{R}$$

La relación anterior no depende de los valores de V' y V'' sino de la diferencia que existe entre ambos niveles.

Puede realizarse el mismo análisis en torno de T_1 para obtener:

$$V = V' - V'' = V_1' * \frac{R_s + R_f}{R_f} - V_2 * \frac{R_s + R}{R}$$

Además:

$$V_1' = V_1 e^{-T_1 / (R_s + R_f)C}$$

$$V_2' = V_2 e^{-T_2 / (R_s + R)C}$$

La solución simultánea de las cuatro ecuaciones anteriores permite encontrar los valores de las incógnitas V_1 , V_2 , V_1' y V_2' .

Si las constantes de tiempo $(R_s + R_f)C$ y $(R_s + R)C$ son muy grandes frente a T_1 y T_2 , respectivamente, la onda de salida no experimentará deformación y será una versión desplazada de la señal de entrada. Además, si $R_s = 0$, la señal de salida tendrá la misma amplitud de la señal de entrada.

Aplicación. A pesar de la simplicidad estructural de los diodos, estos dispositivos, en combinación con otros elementos de circuito, permiten realizar una gran variedad de funciones. En el campo de las comunicaciones, por ejemplo, el uso de diodos permite modular y demodular señales. En el circuito de la figura se muestra un circuito detector de modulación en amplitud. Este circuito, de gran simplicidad, permite recuperar la señal de audio a partir de la señal AM:

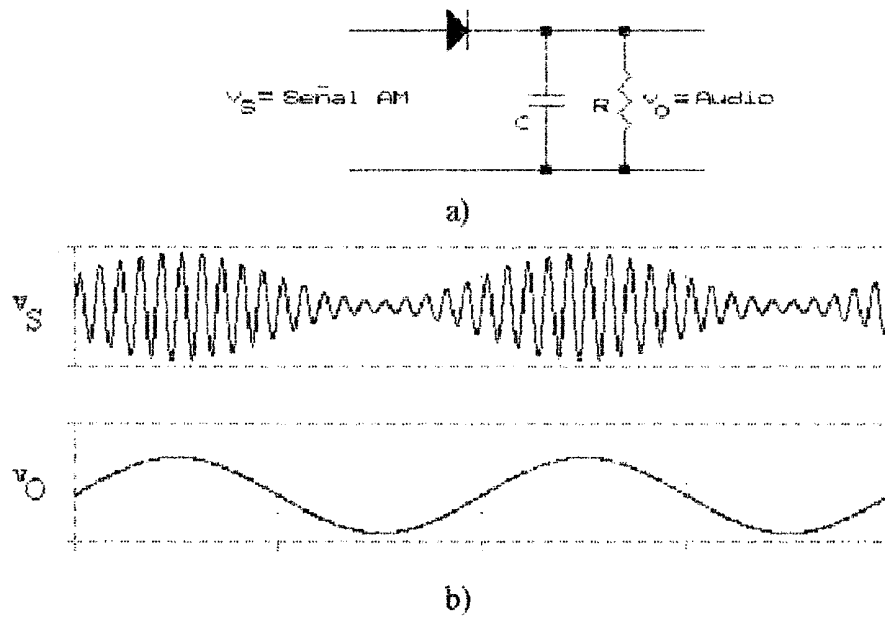


Figura 45. Detección de AM: a) circuito, b) señales de entrada y salida.

Transistor como switch. La capacidad de amplificación del transistor permite su uso en una gran variedad de circuitos conformadores de onda. El análisis de circuitos con transistores se facilitan empleando modelos: en la figura 46 se muestran los modelos de los modos más comunes de un transistor NPN.

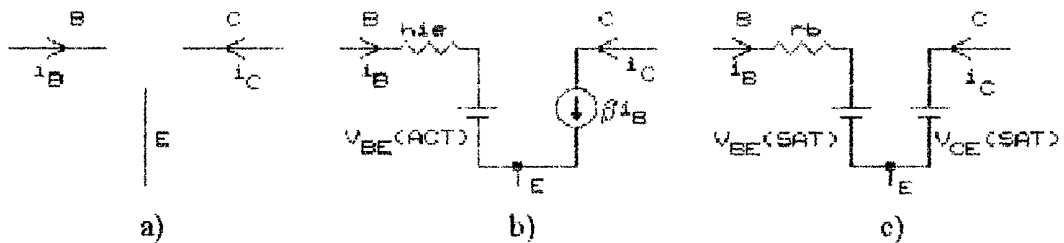


Figura 46. Modelos del transistor: a) Corte, b) región activa, c) región de saturación.

Modelo de corte: en este modo de operación la corriente en los electrodos del transistor es cero:

$$i_B = i_E = i_C = 0$$

Modelo de región activa: un transistor NPN opera en esta región cuando $i_B > 0$ y además se verifica:

$$v_{CE} > v_{CE(SAT)} = 0.3 \text{ volt}$$

En esta región:

$$v_{BE(ACT)} \approx 0.6 \text{ volt}, i_C = \beta i_B$$

El modelo incluye una resistencia en serie con la base para tomar en consideración el aumento en la caída v_{BE} al aumentar la corriente de base que ocurre en un transistor real.

Modelo de saturación: un transistor opera en región de saturación si $i_B > 0$ y, además:

$$i_B > i_C/\beta$$

En esta región:

$$v_{CE} = v_{CE(SAT)} = 0.3 \text{ volt}, v_{BE(SAT)} \approx 0.7 \text{ volt}$$

Modelo de modo inverso: En el modo inverso el emisor está conectado a una tensión más positiva que el colector. En este modo de operación el emisor hace las veces del colector y viceversa. El modelo es semejante al modelo de región activa; sin embargo, la ganancia de corriente de modo inverso, β_R , tiene valores bajos. (0.01 a 2).

Ejemplo. En el circuito de la figura $C = 1\mu\text{F}$. El switch se cierra en $t = 0$. El transistor tiene: $\beta_F = 50$, $V_{BE(SAT)} = 0.7$, $r_b = 50$, $V_{BE(ACT)} = 0.6$, $V_{CE(SAT)}$, $h_{ie} = 200$. Determinar $v_O(t)$.

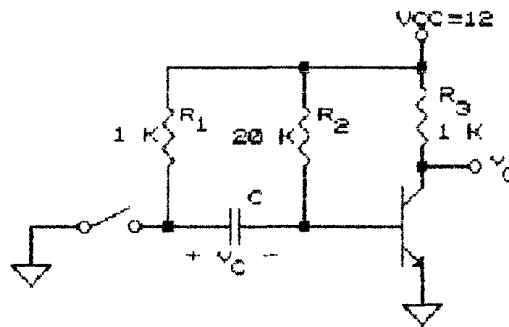


Figura 47. Circuito para $t < 0$.

Intervalo $t < 0$: En este intervalo el switch S está abierto. El circuito equivalente, suponiendo el transistor saturado, se muestra en la siguiente figura:

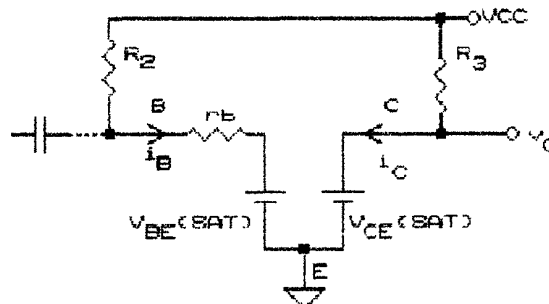


Figura 48. Circuito equivalente, $t < 0$.

En el circuito anterior las corrientes de base y colector son:

$$i_B = \frac{V_{CC} - v_{BE}(\text{SAT})}{R_2 + r_b} = \frac{12 - 0.7}{20\text{K} - 0.05\text{K}} \approx 556\text{mA}$$

$$i_C = \frac{V_{CC} - v_{CE}(\text{SAT})}{R_3} = \frac{12 - 0.3}{1\text{K}} = 11.8\text{ mAmp}$$

Se observa que:

$$i_B = 556\text{ uA} > \frac{i_C}{\beta} = \frac{11.8\text{mA}}{50} = 236\text{ uA}$$

Se confirma la suposición inicial: el transistor está realmente saturado. La tensión en C es:

$$v_C = V_{CC} - (v_{BE}(\text{SAT}) + i_B * r_b)$$

$$v_C(0^-) = 12 - (0.7 + 556\text{uA} * 50) \approx 11.3\text{ volt}$$

intervalo $t > 0$: El switch S se cierra en $t = 0$. En este instante aparecen -11.3 volt en la base del transistor, por lo que éste se corta. El circuito equivalente inicial se muestra en la siguiente figura.

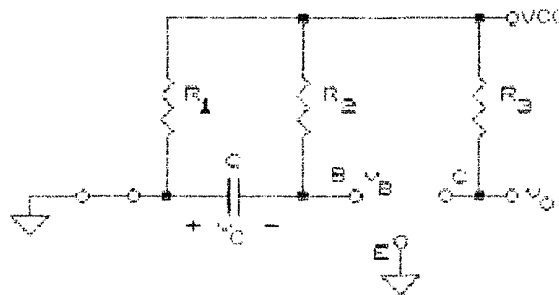


Figura 49. Circuito equivalente inicial.

La tensión de base a tierra, $v_B = -v_C$, variará exponencialmente desde -11.3 volt hacia +12 volt con una constante de tiempo $R_2 C$.

$$v_B = 12 + (-11.3 - 12)e^{-t/R_2 C}; R_2 C = 20\text{ K} * 1\text{ uF} = 20\text{ ms}$$

En el instante $t = t_1$, v_B pasa por +0.6 el transistor empezará a conducir (en región activa) y el circuito anterior deja de ser válido. Al evaluar v_B en t_1 se obtiene:

$$0.6 = 12 - 23.3 e^{-t_1/R_2 C} \Rightarrow t_1 = 14.3\text{ ms}$$

Se observa que $i_B(t_1) = 0$.

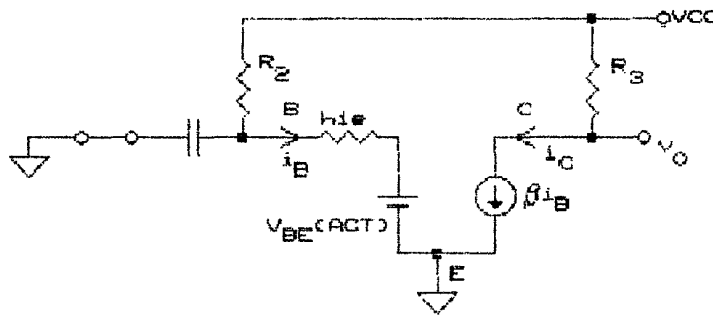


Figura 50. Circuito para $t_1 < t < t_x$.

En este circuito se observa que, en la medida que C se cargue, la corriente de base aumentará hacia el valor I_{Bf} :

$$I_{Bf} = \frac{V_{CC} - v_{BE}(ACT)}{R_2 + h_{ie}} = \frac{12 - 0.6}{20K + 200} = 564 \mu A$$

Es fácil comprobar que con esta corriente de base el transistor habrá entrado en saturación.

El transistor permanecerá en región activa entre t_1 y t_x , si llamamos t_x al instante en que el transistor sale de región activa y entra en saturación. Así, en este intervalo tenemos que:

$$i_B(t) = I_{Bf} + (I_{Bi} - I_{Bf}) e^{-(t-t_1)/(R_2+h_{ie})C}$$

donde:

$$i_{Bi} = 0$$

$$i_{Bf} = 564 \mu A$$

Se calculó previamente que la corriente de base necesaria para saturar al transistor es de 236 μA . Este nivel de corriente se alcanzará en $t = t_x$.

$$i_B(t_x) = 236 \mu A = 564 \mu A (1 - e^{-(t_x-t_1)/(R_2+h_{ie})C})$$

Se halla:

$$t_x = t_1 + 90.22 \mu s = 14.3ms + 90.22 \mu s$$

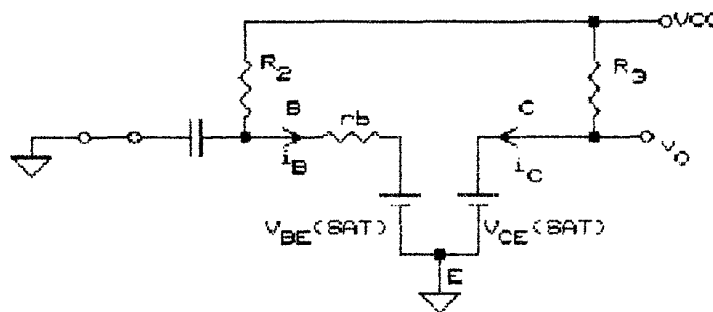


Figura 51. Circuito para $t > t_x$.

intervalo $t > t_x$: a partir de $t = t_x$ el transistor está saturado y el circuito equivalente corresponde al de la figura 51. En éste se observa que:

$$v_O(t > t_x) = 0.2 \text{ Volt.}$$

La forma de variación de la tensión en base y colector se muestra en la figura 52.

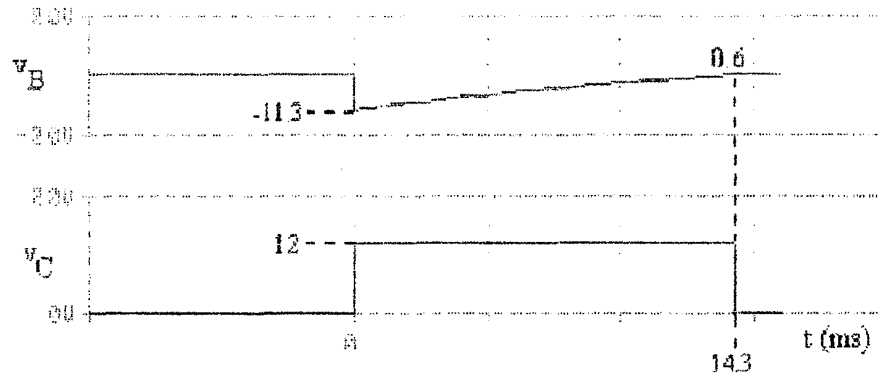


Figura 52. Tensión en base y colector.

Ejemplo. En el circuito de la figura, el transistor tiene $\beta = 100$, $V_{BE} = 0.7$. La señal de entrada es un escalón de corriente. Encuentre la tensión de salida $v_O(t)$.

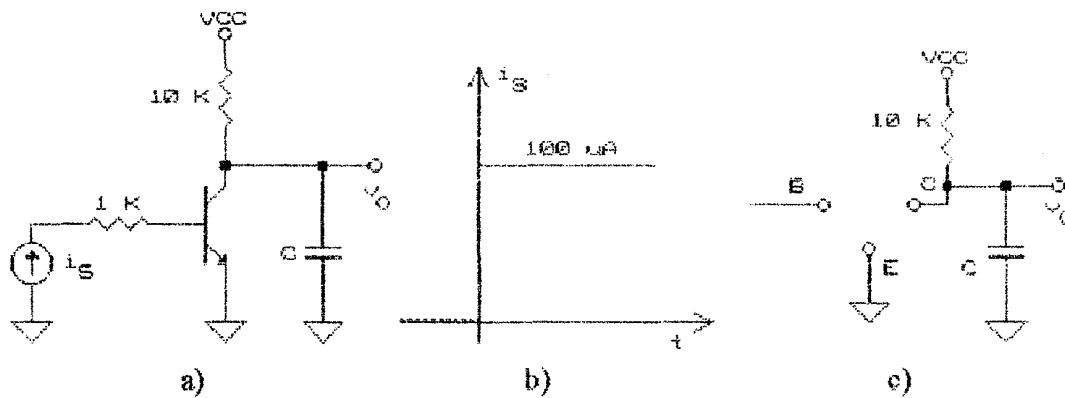


Figura 53. a) Circuito, b) señal de entrada, c) señal de salida.

intervalo $t < 0$: la corriente de base del transistor es: $i_B(t < 0) = 0$. El transistor está cortado. la tensión en el condensador es $v_C(t < 0) = v_O(t < 0) = V_{CC} = 10 \text{ volt.}$

$$v_C(t < 0) = v_O(t < 0) = 10$$

intervalo $t \leq 0$: $i_S = 100 \mu\text{A}$. El transistor tiene corriente en la base y entrará en conducción. Además, el condensador no puede cambiar bruscamente su tensión, de modo que :

$$v_C(t=0^+) = v_{CE}(t=0^+) = v_O(t=0^+) = 10$$

El transistor estará en región activa con esta tensión entre colector y emisor.

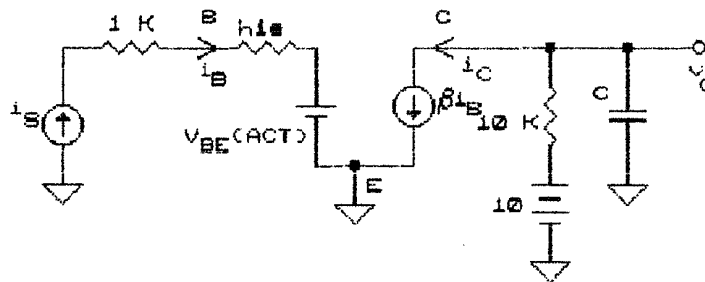


Figura 54. Circuito equivalente, $t > 0$.

La corriente que entra en la base es independiente del valor de h_{ie} pues esta corriente es suministrada por una fuente ideal de corriente. La corriente de colector vale $\beta i_B = 10 \text{ mA}$.

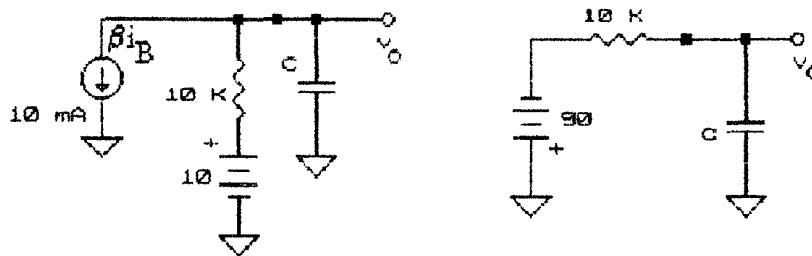


Figura 55. Circuito equivalente de la salida.

Aplicando Thevenin entre colector y emisor el circuito puede ser reducido a la forma mostrada a la figura 55.

La tensión en C tenderá a $V_f = -90 \text{ volt}$ desde un valor inicial de 0 volt con una constante de tiempo $RC = 10 \text{ K} \cdot 10^{-8} = 100 \text{ us}$:

$$v_O(t) = V_f + (V_i - V_f) e^{-t/RC}$$

$$v_O(t) = -90 + (10 - (-90)) e^{-t/RC} = -90 + 100 e^{-t/RC}$$

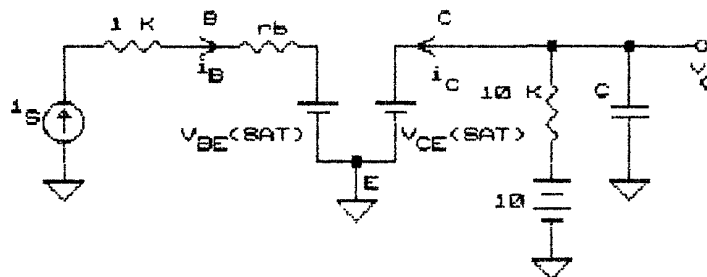


Figura 56. a) Tensión de salida, b) circuito equivalente, $t > 10 \text{ us}$.

El transistor se satura en el instante en que $v_{CE} = v_C = 0.2 \text{ volt}$.

$$v_O(t_1) = 0.2 = -90 + 100 e^{-t_1/RC}, \text{ de acá } t_1 = 10 \mu\text{s}$$

intervalo $t > 10 \mu\text{s}$: el transistor está saturado. El circuito equivalente correspondiente se muestra en la figura 56.

La corriente de colector es:

$$I_C = \frac{V_{CC} - V_{CE(SAT)}}{R_C} = \frac{10 - 0.2}{10K} = 0.98 \text{ mA} < \beta I_B = 100 * 100 \mu\text{A} = 10 \text{ mA}.$$

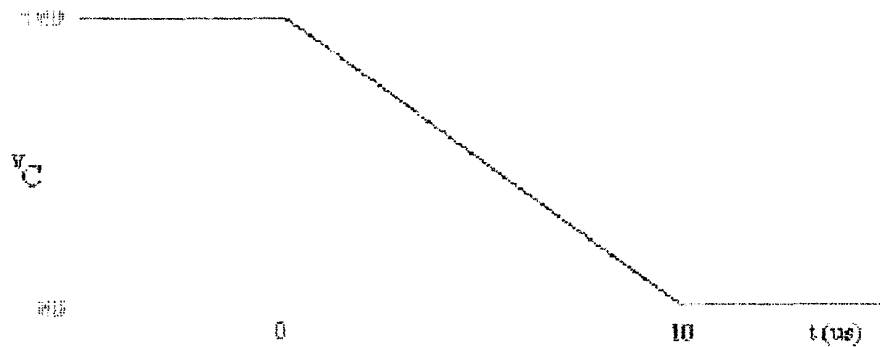


Figura 57. Tensión en colector.

Transistor como Switch con cargas inductivas.

Consideremos el circuito de la figura al cual se aplica un pulso de tensión.

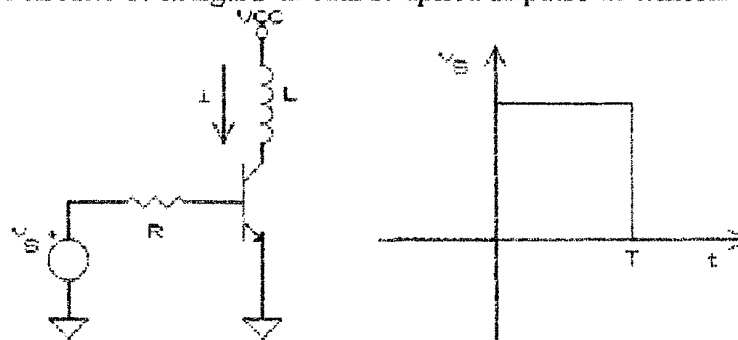


Figura 58. a) Circuito, b) señal de entrada.

intervalo $t < 0$: el transistor está cortado.

intervalo $t \geq 0$: en $t = 0^+$ el transistor empieza a conducir. La corriente de base es:

$$i_B = \frac{V - v_{BE}}{R}$$

La corriente en el inductor es la corriente de colector. Esta crecerá linealmente desde 0 pues $i_L(0^+) = i_L(0^-) = i_C(0^+)$. Así el transistor estará inicialmente saturado:

$$i_C(0^+) < \beta I_B$$

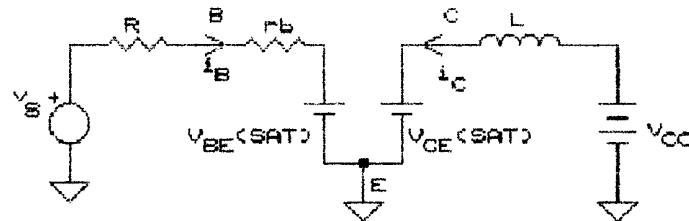


Figura 59. Circuito para $0 < t < T$.

Del circuito anterior:

$$v_L = L \frac{di_L}{dt}; i_L = \frac{1}{L} \int v_L dt$$

en esta expresión $v_L = V_{CC} - v_{CE}(\text{SAT})$

$$\text{así } i_L(t) = \frac{V_{CC} - v_{CE}(\text{SAT})}{L} * t$$

Suponiendo que el transistor permanece saturado durante la duración del pulso V_S , la corriente alcanzará al término de éste un valor de:

$$i_L(T^-) = \frac{V_{CC} - v_{CE}(\text{SAT})}{L} * T^-$$

intervalo $t > T$: la corriente de base del transistor se hace cero al término del pulso. El transistor debe cortarse. Sin embargo, la corriente en el inductor no puede variar bruscamente. Esto es:

$$i_L(T^-) = i_L(T^+) = I^*$$

La corriente circulará, al cortarse el transistor, por la capacidad presente en la salida del transistor. Esta capacidad incluye la capacidad de salida del transistor, la capacidad del devanado y la capacidad parásita de las conexiones.

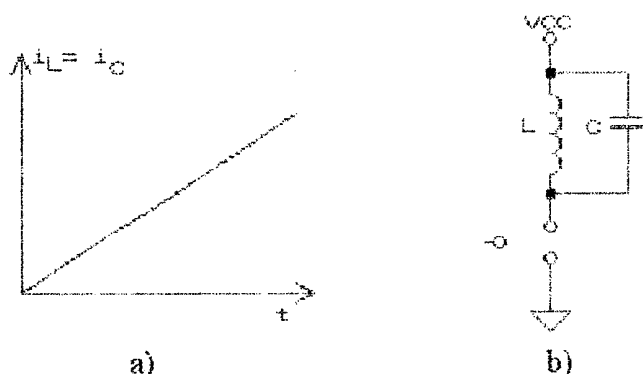


Figura 60. a) Forma de variación de i_C , b) modelo aproximado para las capacidades distribuidas.

Al entrar el transistor en corte se producirá una oscilación en el circuito LC. Si se ignora las pérdidas de este circuito y la energía inicial en C, en esa oscilación la energía se transferirá totalmente del inductor a la capacidad de salida. Esto es:

$$\frac{1}{2} L I^{*2} = \frac{1}{2} C V_m^2, \text{ donde } V_m \text{ es el valor de la máxima tensión en C.}$$

Puede despejarse:

$$V_m = I^* * \sqrt{\frac{L}{C}}$$

Ejemplo. En un circuito como el mostrado en la figura 59 la corriente en el inductor al término del pulso aplicado a la base es de 0.1 A. Si el inductor tiene $L = 1 \text{ mH}$ y la capacidad total a la salida del transistor es de 100 pF hallar la máxima tensión entre colector y emisor:

$$V_m = I^* * \sqrt{\frac{L}{C}}$$

$$V_m = 0.1 * \sqrt{\frac{10^{-3}}{10^{-10}}} = 316 \text{ volt}$$

La tensión total en colector será de $10 + 316 = 326 \text{ volt}$ Esta tensión puede dañar al transistor. Sin embargo, puede reducirse colocando un capacitor en paralelo con el inductor. Agregando $C_{EXT} = 0.1 \mu\text{F}$

$$V'_m = 0.1 * \sqrt{\frac{10^{-3}}{10^{-7}}} = 10 \text{ volt}$$

Ahora la tensión en colector alcanzará un máximo valor de $V_{CE} = 10 + 10 = 20$ volt. Se suele colocar una resistencia en serie con C_{EXT} que permite disipar más rápidamente la energía contenida inicialmente en el circuito.

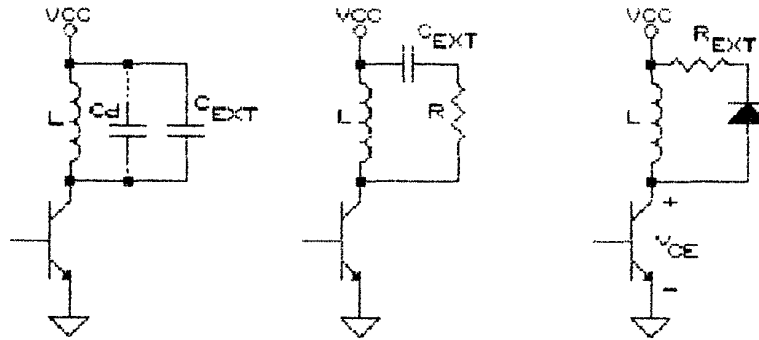


Figura 61. a) Circuito, b) compensación con condensador, c) compensación con diodo

Solución alternativa. Al colocar un diodo en serie con una resistencia R_{EXT} en paralelo con el inductor, al cortarse el transistor la corriente I^* circulará por el diodo y la resistencia. Si se ignora la resistencia de inductor y la caída de tensión en el diodo, la expresión de la corriente será:

$$i_L(t) = I^* e^{-(t-T)L/R} ; t > T$$

La tensión V_{CE} valdrá:

$$V_{CE} = V_{CC} + i_L(t) * R_{EXT}$$

El valor de R_{EXT} debe estar dimensionado de modo que en $t = T$ no se exceda la tensión $V_{CE(max)}$ para el transistor.

Aplicaciones. En la figura 62a se muestra un circuito mediante el cual se puede controlar la tensión media aplicada a la armadura de un motor de corriente continua y, con esto, su velocidad. En esta aplicación se pueden usar transistores de alta potencia: se fabrican módulos de transistores con capacidad de controlar tensiones de hasta 1000 volt y corrientes de cientos de ampere.

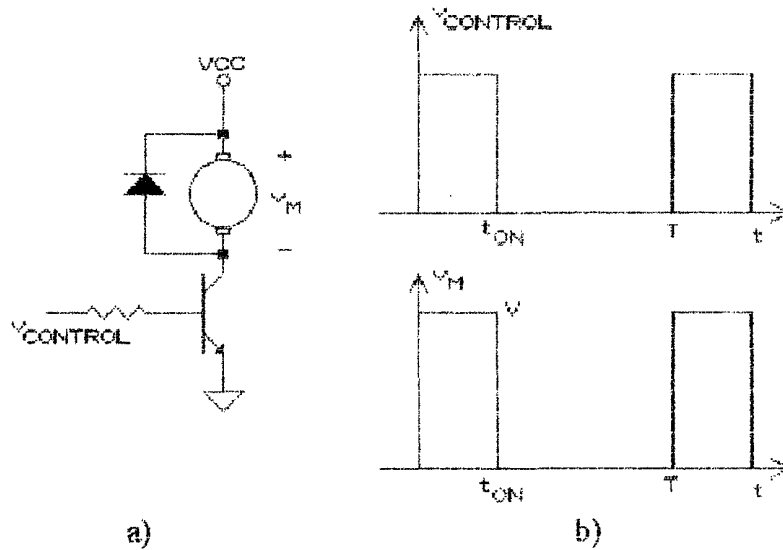


Figura 62 a) Control de velocidad de un motor dc, b) formas de onda.

La tensión media aplicada al motor está dada por:

$$v_M(\text{dc}) = \frac{t_{\text{ON}}}{T} * V_{\text{CC}}$$

Si se mantiene T constante, al variar t_{ON} se variará el valor medio de la tensión aplicada al motor y con esto su velocidad. Este método permite un control en un rango más amplio y es más eficiente que el método tradicional que emplea resistencias en serie con la armadura del motor.

El circuito de la figura 63a corresponde a un regulador conmutado. Variando el ciclo de servicio del transistor se puede regular en forma automática la tensión de salida de la fuente.

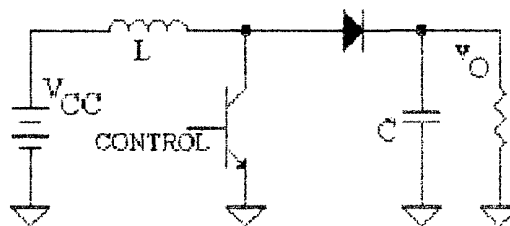


Figura 63. Fuente de poder conmutada.

Este circuito permite obtener una tensión de salida mayor que la tensión de alimentación. Su funcionamiento se basa en la acumulación de energía en el inductor durante el intervalo de conducción del transistor y la posterior entrega de esta energía a la carga en el intervalo de corte del transistor.

TEMA III

MULTIVIBRADORES, TEMPORIZADORES Y GENERADORES DE FUNCIONES

Introducción. Los circuitos multivibradores son circuitos digitales que tienen amplias aplicaciones como elementos de memoria, generadores de bases de tiempo, etc. La señal de salida de los circuitos multivibradores varía entre un nivel alto y otro nivel bajo cuyo valor está determinado, generalmente, por el tipo de dispositivo electrónico empleado para su implementación y su red de polarización. En este capítulo se describen la forma de implementar circuitos multivibradores con diversos dispositivos electrónicos incluyendo amplificadores operaciones y circuitos de propósitos especiales. Se incluye también en este capítulo el estudio de circuitos temporizadores y circuitos generadores de funciones.

Multivibradores. Los circuitos multivibradores pueden ser agrupados en tres categorías: multivibradores inestables, monoestables y biestables

Multivibrador Inestable. En este tipo de multivibradores, la señal de salida está permanentemente cambiando de un nivel de salida a otro sin requerir para el cambio de comandos externos. Este tipo de multivibrador se llama también oscilador de relajación. En la siguiente figura se muestra la estructura de un multivibrador basado en un comparador convencional.

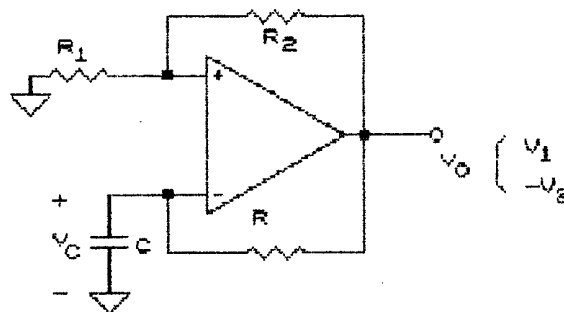


Figura 1. Circuito de un multivibrador inestable basado en un comparador

El circuito tiene una combinación de realimentación positiva y negativa. El efecto dominante es el de la realimentación positiva que le da al circuito una respuesta oscilatoria. Con este tipo de realimentación no se cumple $V^+ = V^-$ (nodo virtual).

Análisis del circuito: Supondremos que la salida del amplificador operacional o comparador puede tomar únicamente los niveles V_1 (alto) y $-V_2$ (bajo). Supongamos que, inicialmente, $v_O = V_1$ (nivel alto de salida). La tensión en la entrada no inversora será:

$$V^+ = V_1 * \frac{R_1}{R_1 + R_2} = V_A$$

El condensador C se estará cargando hacia V_1 a través de la resistencia R. En el momento en que la tensión en el condensador y la entrada inversora ($v_C = V^-$) se haga ligeramente mayor que el nivel presente en la entrada no inversora, V_A , la salida cambiará al nivel bajo $-V_2$. En ese instante, la tensión V^+ tomará el valor:

$$V^+ = (-V_2) * \frac{R_1}{R_1 + R_2} = V_B$$

Ahora, la tensión en el capacitor y la entrada inversora variará exponencialmente desde V_A hacia $-V_2$. En el instante en que esta tensión se haga ligeramente menor que el nivel presente en la entrada no inversora, V_B la salida volverá al nivel V_1 .

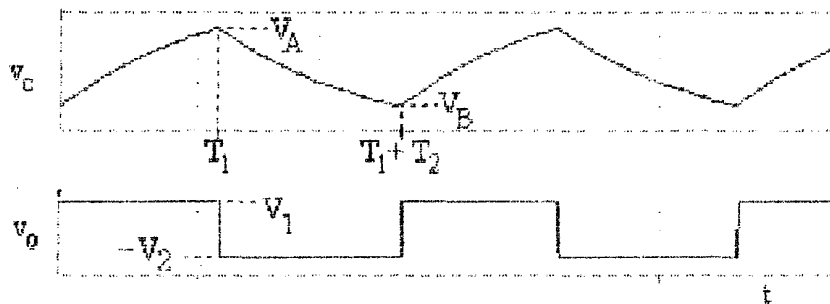


Figura 2. Variación de v_C y de v_O .

Elegiremos como origen del eje de tiempo el instante en que la tensión en C es V_B y la tensión de salida acaba de cambiar a V_1 .

intervalo $0 \leq t \leq T_1$. La tensión en C variará exponencialmente:

$$v_C = V^- = V_f + (V_i - V_f) e^{-t/RC}$$

donde,

$$V_i = V_B = (-V_2) * \frac{R_1}{R_1 + R_2}$$

$$V_f = V_1$$

Así:

$$v_C(t) = V^- = V_1 + (V_B - V_1) e^{-t/RC}$$

en $t = T_1$ la tensión v_C llegará al nivel V_A :

$$v_C(t=T_1) = V^- = V_1 + (V_B - V_1) e^{-T_1/RC} = V_A$$

de esta ecuación puede despejarse T_1 :

$$T_1 = RC * \ln \frac{V_B - V_1}{V_A - V_1}$$

intervalo $T_1 \leq t \leq T_2 + T_1$: ahora v_C variará exponencialmente desde V_A hacia $-V_2$:

$$v_C(t) = V^- = -V_2 + (V_A + V_2) e^{-(t-T_1)/RC}$$

en $t = T_1 + T_2$ la tensión en C habrá alcanzado el nivel V_B .

$$v_C(t=T_1+T_2) = V^- = -V_2 + (V_A + V_2) e^{-T_2/RC} = V_B$$

de acá puede despejarse T_2 .

Si $V_2 = V_1$ se obtiene $T_1 = T_2$. En este caso, el período de la señal de salida es:

$$T = T_1 + T_2 = RC * \ln \frac{1 + \beta}{1 - \beta} ; \quad \beta = \frac{R_1}{R_1 + R_2}$$

Ejercicio: Hallar el período de la señal de salida del circuito:

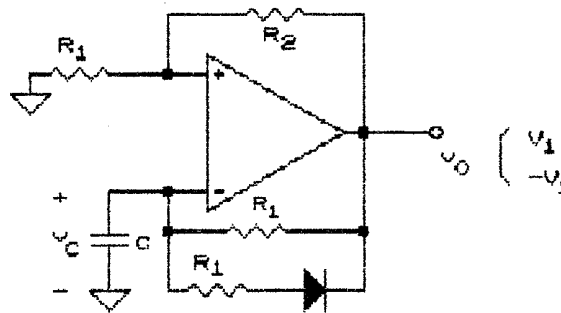


Figura 3. Circuito del ejercicio.

Multivibrador Monoestable. Este circuito tiene un estado estable en el cual permanece indefinidamente. Si en la entrada del multivibrador se aplica un pulso externo apropiado, el circuito sale de ese estado estable y pasa a un estado cuasiestable en el cual permanece por un tiempo definido por los parámetros del circuito. Al término de ese intervalo, el circuito regresa al estado estable.

Implementación de un multivibrador monoestable con un comparador. En la siguiente figura se muestra la forma de implementar un multivibrador monoestable con un comparador.

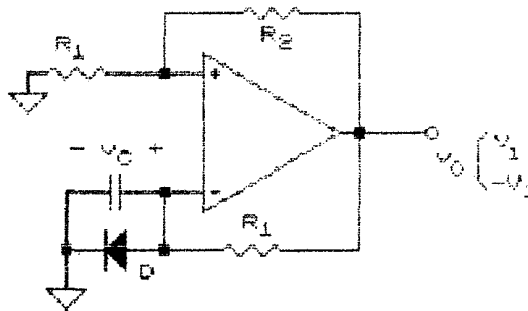


Figura 4. Multivibrador monoestable con comparador.

La salida del comparador puede tomar los valores V_1 y $-V_1$. La red de acoplamiento del pulso externo está diseñada de modo que el pulso aparece inalterado en la entrada + del comparador.

Estado Estable. Suponiendo que, en estado estable, la tensión de salida tiene un nivel bajo ($v_O = -V_1$), la tensión en las entradas será:

$$V^+ = \frac{-V_1}{2}, V^- = -V_1.$$

Esto es, $V^+ > V^-$ y la salida debería tener un nivel alto lo cual contradice la suposición inicial. Por consiguiente, la salida deberá tener en estado estable un nivel alto ($v_O = V_1$). Con un nivel alto en la salida el diodo conducirá. Ignorando la caída en el diodo, la tensión en la entrada inversora será: $V^- = 0$. Además, la entrada inversora tendrá $V^+ = V_1/2$. Así $V^+ > V^-$ y esto confirma que v_O tiene un nivel alto.

Estado cuasiestable. Al llegar un pulso externo (Pulso de disparo) con amplitud apropiada (V_H), la tensión V^+ caerá a $V_1/2 - V_H$, valor menor que la tensión en la entrada inversora (0 volt) por lo que la tensión de salida v_O cambiará de V_1 a $-V_1$, y el multivibrador habrá entrado en el estado cuasiestable.

Las formas de onda se muestran en la figura. Ahora $V^+ = -V_1/2$. Por su parte, la tensión en C ($v_C = V^-$) variará exponencialmente desde 0 hacia $-V_1$.

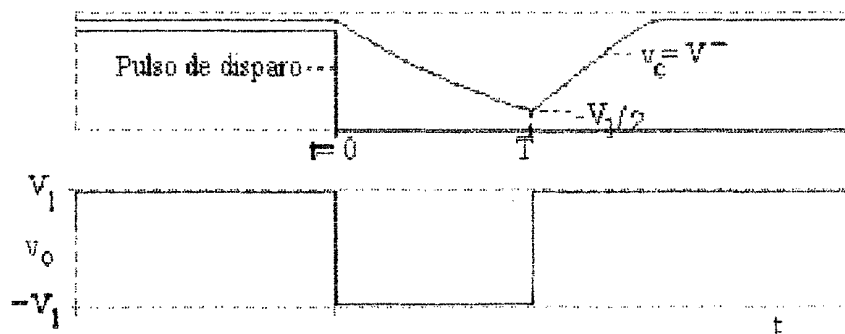


Figura 5. Tensión en C y tensión de salida.

La expresión de $v_C(t)$ es:

$$v_C = V^- = V_f + (V_i - V_f) e^{-t/R_1 C}$$

acá: $V_f = -V_1$; $V_i = 0$; con esto la expresión de v_C queda:

$$v_C(t) = -V_1 (1 - e^{-t/R_1 C})$$

El estado cuasiestable termina en el instante T en que la tensión $v_C = V^-$ alcanza el nivel $-V_1/2$. La salida del comparador regresa al nivel alto y el circuito se estabiliza en las condiciones correspondientes a su estado estable:

$$v_C(T) = -V_1 (1 - e^{-T/R_1 C})$$

puede despejarse T:

$$T = R_1 C * \ln(2)$$

T resulta ser independiente de V_{CC} . Si se varía V_{CC} el ancho de pulso no cambia lo cual resulta altamente conveniente.

Circuito temporizador tipo 555. Este circuito integrado permite implementar fácilmente multivibradores monoestables e inestables además de otras funciones de gran utilidad. La estructura de este circuito se muestra en la figura siguiente:

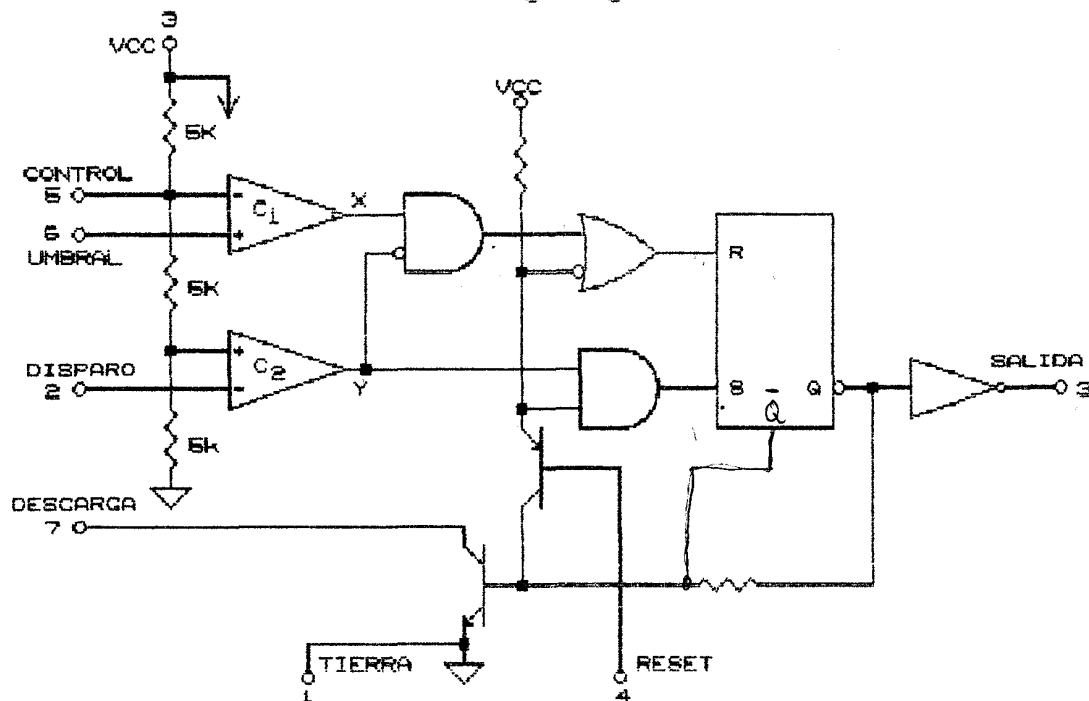


Figura 6. Estructura del temporizador 555.

Características del temporizador 555.

- Polarización: V_{CC} : 3 - 18 volt
- Consumo de corriente 3 mA @ 5 volt.
8 mA @ 15 volt.
- Versión de baja potencia (XR555) consume < 1 mA @ 15 volt.
- **Terminal de salida:** capaz de manejar corrientes de magnitudes > 50 mA.

- **Transistor de descarga.** Su conducción ocurre si $Q=0$. Para una operación predecible del circuito es necesario que los elemento externos conectado al transistor de descarga estén dimensionados de modo tal que el transistor de descarga siempre opere saturado. Este transistor operará en esa condición siempre que no se inyecte a su colector corrientes superiores a 40 mA.

- **Entrada de Control:** esta entrada está conectada a un divisor de tensión resistivo formado por resistencias de 5 K. Si esta entrada no se usa se debe colocar en la misma un condensador (de 0.001 μ F) a tierra. En este caso las tensiones de referencia para las entradas de los comparadores C_1 y C_2 son:

$$V^-(C_1) = \frac{2V_{CC}}{3}; V^+(C_2) = \frac{V_{CC}}{3}$$

Alternativamente, en la entrada de control puede conectarse una fuente de tensión V. Esto producirá las siguientes tensiones de referencia:

$$V^-(C_1) = V; V^+(C_2) = \frac{V}{2}$$

- **Entrada de Reset:** Al aplicar un nivel bajo a esta entrada se inhabilita el temporizador. En operación normal esta entrada se conecta a V_{CC} .

- **Comparadores:** Las entradas de los comparadores de disparo y umbral toman corrientes del orden de 0.25 uA. La operación de los comparadores sigue las reglas convencionales. Sin embargo, la inclusión de la compuerta AND fuerza una señal $R=L$ si $S=H$. Esto es:

$$\begin{aligned} \text{Si } V^+(C_1) > V^-(C_1) & \quad X=H \\ V^-(C_2) < V^+(C_2) & \quad Y=H \end{aligned}$$

Esta condición producirá $S=H$ y $R=L$.

- **Comportamiento del Flip Flop.** Se observa que la inclusión de la compuerta AND en la salida de C_1 impide que pueda ocurrir la combinación $S=R=H$. El comportamiento del flip flop puede ser descrito mediante la siguiente tabla:

S	R	Q_{n+1}	\bar{Q}_{n+1}
H	0	H	0
0	H	0	H
0	0	Q_n	\bar{Q}_n

En este tipo de Flip Flop, cuando $S = R = 0$ la salida Q conserva su valor previo (el que tenía inmediatamente antes de que $S = R = 0$).

APLICACIONES. El temporizador 555 se usa ampliamente en la implementación de multivibradores monoestables e inestables. Estas aplicaciones se describirán en detalle a continuación.

Multivibrador monoestable. El circuito de este multivibrador se muestra en la figura siguiente.

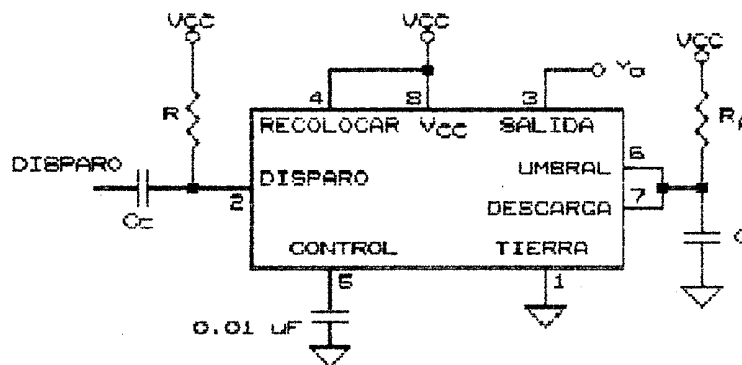


Figura 7. Multivibrador monoestable.

Estado estable. El circuito estará en el estado estable si el mismo no ha sido perturbado por un largo tiempo. En este estado se tiene:

$$Q = L \quad \bar{Q} = H$$

La señal aplicada a la base del transistor de descarga hará que éste esté saturado. La tensión en C, también aplicada a la entrada no inversora de C_1 es:

$$V_C = V^+(C_1) = V_{CE(SAT)}$$

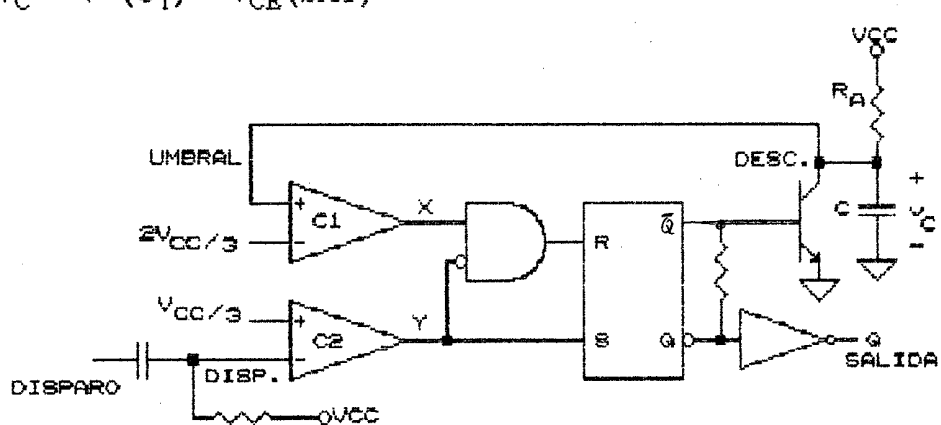


Figura 8. Multivibrador ~~estable~~ Monoestable. Circuito.

La entrada inversora de C_1 está conectada a $2V_{CC}/3$. Con estos niveles en las entradas de C_1 , la salida X de este comparador tendrá un nivel L.

En el comparador C_2 , la entrada inversora (Disparo) tiene un nivel cercano a V_{CC} . Además, la entrada no inversora está conectada a $V_{CC}/3$ por lo que habrá un nivel bajo en \bar{Y} .

Así: $R = S = L$ y el flip flop mantendrá su estado ($Q = L, \bar{Q} = H$):

Estado cuasiestable. Al inyectar un pulso negativo de disparo con una amplitud V_1 a la entrada del circuito, la entrada (-) de C_2 caerá a:

$$V^-(C_2) = V_{CC} - V_1$$

Si este valor es menor que la tensión en la entrada no inversora ($V_{CC}/3$), la tensión de salida de C_2 (Y) será un nivel alto el que, aplicado a la entrada S del flip flop, hará cambiar de estado a éste. Se ha producido el disparo y el multivibrador ha entrado al estado cuasiestable. En efecto, ahora se tiene:

$$X = L \quad Y = H$$

$$S = H \quad R = L$$

Las salidas del flip flop serán ahora:

$$Q = H, \bar{Q} = L$$

El transistor de descarga se corta y ahora C se carga hacia V_{CC} a través de R. Si el pulso de disparo ha terminado, la salida Y de C_2 pasa a un nivel bajo. Esto es, al término del pulso de disparo:

$$S = R = L$$

$$Q = H, \bar{Q} = L$$

El transistor de descarga continúa en corte y C sigue cargándose hacia V_{CC} . En el instante T en que v_C cruce el nivel $2V_{CC}/3$ termina el estado cuasiestable, la salida del comparador C_1 se hará alta. Esto es, ahora:

$$S = L \quad R = H$$

$$Q = L; \quad \bar{Q} = H$$

En estas condiciones, el transistor de descarga conduce y se mantiene en esta condición hasta que C se descarga hasta llegar a $V_{CE(SAT)}$.

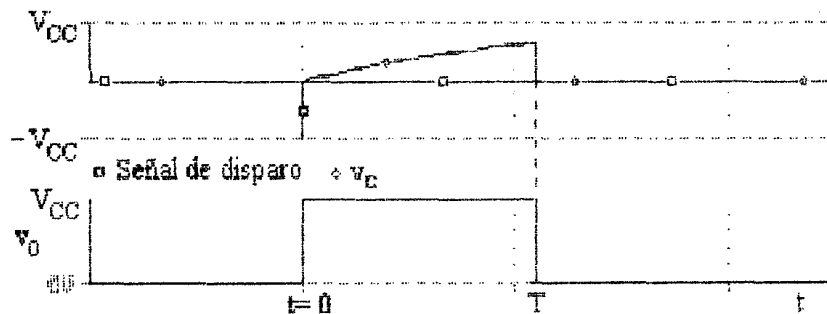


Figura 9. Formas de onda.

$0 \leq t \leq T$. En este intervalo el condensador se carga exponencialmente desde una tensión inicial $V_{CE(SAT)}$ hacia una tensión final V_{CC} con una constante de tiempo $R_A C$:

$$v_C(t) = V_{CC} + (V_{CE(SAT)} - V_{CC}) e^{-t/R_A C}$$

en T , esta tensión habrá alcanzado el nivel $2V_{CC}/3$ y terminará el estado cuasiestable. Al despejar T en la ecuación anterior se obtiene $T = 1.1 R_A C$.

Multivibrador Inestable. Este tipo de multivibrador produce una señal rectangular de salida con un período que es independiente de la tensión de alimentación del circuito y depende únicamente del valor de los componentes. No requiere para su operación de una señal externa. Tiene aplicaciones en el campo de generación de señales de reloj y bases de tiempo con una precisión moderada. El circuito de un multivibrador inestable implementado con un temporizador 555 se muestra en la siguiente figura:

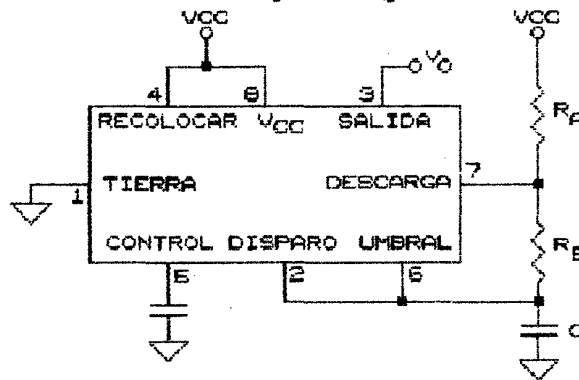


Figura 10. Multivibrador inestable.

Supondremos que, inicialmente, el circuito está descargado. Al conectar V_{CC} el condensador arrancará descargado y las salidas de los comparadores C_1 y C_2 serán:

$$X = L \quad Y = H$$

esto producirá en las entradas del flip flop las señales:

$$S = H \quad R = L$$

$$\text{Así: } Q = H \quad \bar{Q} = L$$

El transistor de descarga estará inicialmente cortado permitiendo la carga de C través de $(R_A + R_B)$ hacia V_{CC} . Al cruzar v_C al nivel $V_{CC}/3$ la salida del comparador C_2 pasará a un nivel bajo:

$$X = L \quad Y = L$$

con estos valores:

$$S = L \quad R = L$$

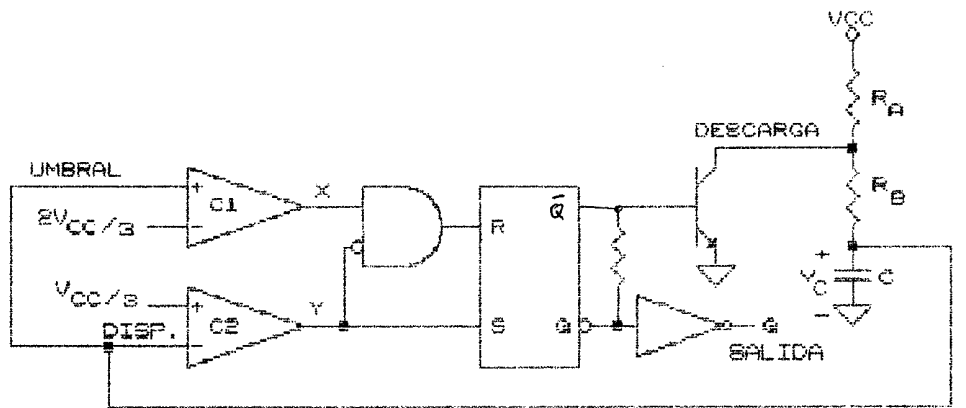


Figura 11. Multivibrador Inestable. Circuito.

Con estas señales de entrada el multivibrador conserva su estado anterior ($Q = H$ y $\bar{Q} = L$) por lo que el transistor de descarga seguirá cortado y C cargándose hacia V_{CC} . En el instante en que v_C cruce hacia arriba el nivel $2V_{CC}/3$ cambia la salida de C_1 :

$$X = H \quad Y = L$$

produciendo:

$$S = L, R = H$$

El flip flop cambiará de estado. Ahora:

$$Q = L, \bar{Q} = H$$

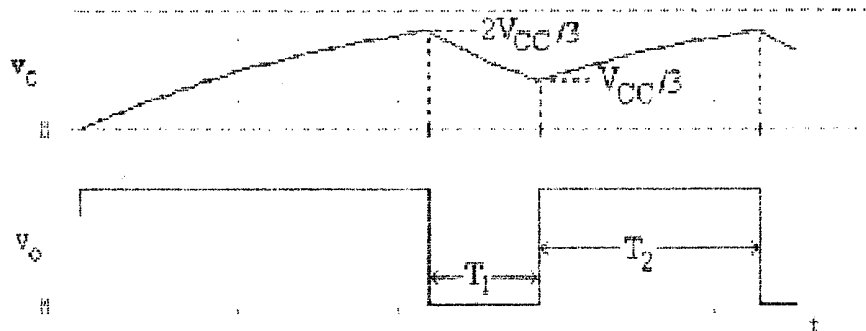


Figura 12. Formas de onda.

El cambio de estado del flip flop produce la saturación del transistor y, a través de éste y R_B la descarga de C hacia $V_{CE(SAT)}$. Al cruzar v_C hacia abajo el nivel $2V_{CC}/3$, la salida de C_1 vuelve a cambiar. Ahora:

$$X = L \quad Y = L$$

con estos valores:

$$S = L \text{ y } R = L$$

y el multivibrador mantiene su estado previo, esto es:

$$Q = L, \bar{Q} = H$$

El transistor continuará saturado por lo que el proceso de descarga de C hacia $V_{CE(SAT)}$. Ahora, al cruzar v_C el nivel $V_{CC}/3$ (hacia abajo) la salida del comparador C_2 pasará a su nivel alto. Las señales de salida de los comparadores tomarán los mismos valores que al empezar el análisis, esto es:

$$\begin{aligned} X &= L \quad Y = H \\ S &= H \quad R = L \end{aligned}$$

Ahora, $Q = H$ $\bar{Q} = L$

El transistor de descarga se corta y C vuelve a iniciar su carga hacia V_{CC} desde $V_{CC}/3$. Este proceso se interrumpe en $2V_{CC}/3$ y ocurre con una constante de tiempo dada por $(R_A + R_B)C$. Puede determinarse para este tramo una duración de:

$$T_1 = 0.69 * (R_A + R_B)C$$

En la descarga de C desde $V_i = 2V_{CC}/3$ hacia $V_f = V_{CE(SAT)}$ la constante de tiempo es $R_B C$. La descarga se interrumpe en $V_{CC}/3$. Si se desprecia $V_{CE(SAT)}$, la duración de esta descarga es:

$$T_2 = 0.69 * R_B C$$

El período de la onda es $T = T_1 + T_2 = 0.69 (R_A + 2R_B)C$.

Observación: al conectar V_{CC} , la primera carga de C ocurre desde 0 hasta $2V_{CC}/3$. Tiene una duración de $1.1 (R_A + R_B)C$.

Ciclo de servicio. En una onda periódica que varía entre dos niveles, se define como ciclo de servicio a la fracción del período en que la onda toma el nivel alto. En nuestro caso, la señal en el terminal de salida tiene un ciclo de servicio de:

$$CS = \frac{T_1}{T_1 + T_2}$$

esto es,

$$CS = \frac{R_A + R_B}{R_A + 2R_B}$$

Se observa que, en el multivibrador inestable implementado con 555, el ciclo de servicio puede variar entre 0.5 y 1.

Consideraciones de diseño: se debe evitar que la corriente de entrada de los comparadores produzca una caída apreciable en R_A y R_B . Estas resistencias no deben tener valores muy elevados ($< 100 \text{ K}$). Además, el condensador de temporización debe presentar una resistencia de fuga lo más elevada posible. En caso contrario los intervalos de funcionamiento serán dependientes de la tensión de polarización y, además, se verán afectados por la temperatura. Por otra parte, los componentes deben estar dimensionados de modo que no se exceda la corriente máxima (40 mA) en el transistor de descarga.

Modificación para obtener cualquier ciclo de servicio: al modificar la red de carga y descarga de C en la forma mostrada en la figura es posible obtener cualquier ciclo de servicio.

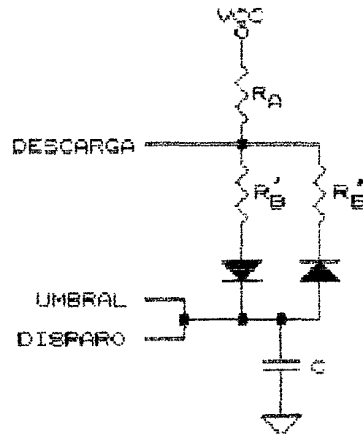


Figura 13. Modificación para flexibilizar el ciclo de servicio.

Con la configuración mostrada se obtiene:

$$T_1 = 0.69 (R_A + R_{B'}) * C$$

$$T_2 = 0.69 R_{B''} C$$

Esto es, la duración del nivel alto de salida puede fijarse en forma independiente de la duración del nivel bajo. Al utilizar esta red, el ciclo de servicio puede tomar cualquier valor.

Otras aplicaciones del temporizador 555. Este circuito integrado tiene una gran cantidad de aplicaciones. Dos de éstas se describen a continuación.

Circuito de retardo. El circuito de la figura permite obtener un pulso de salida más ancho que el pulso aplicado a la entrada.

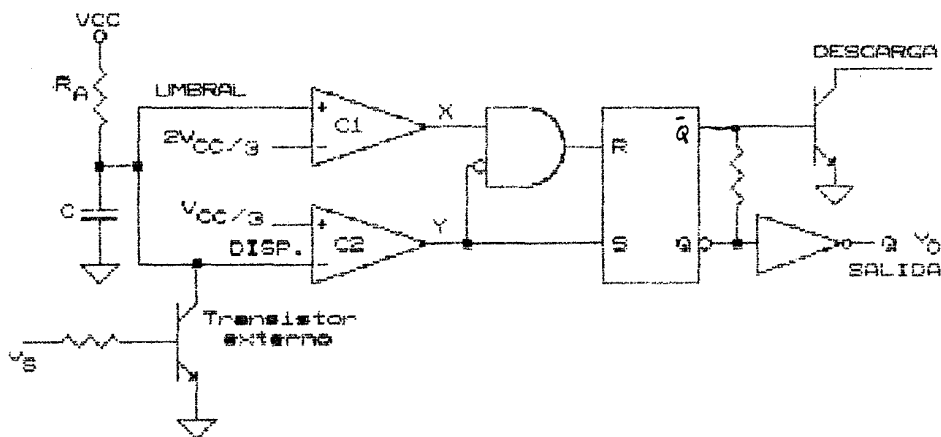


Figura 14. Circuito de retardo. Circuito.

Formas de onda. Las formas de onda se muestran en la figura 15. Al aplicar un pulso de duración T_p en la entrada, el transistor externo conducirá. Al caer la señal de entrada, C iniciará su carga hacia V_{CC} . Durante este proceso de carga y mientras la tensión en C se mantenga por debajo de $2V_{CC}/3$, la salida se mantendrá en un nivel alto. El pulso de salida tendrá una duración $1.1 RC$ mayor que el pulso de entrada.

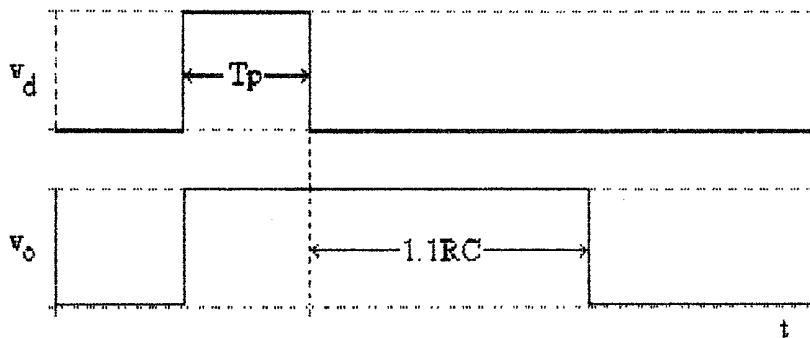


Figura 15. Circuito de retardo. Formas de onda.

Detector de pulso perdido. El circuito de la figura permite detectar la ausencia de un pulso en el tren periódico de entrada. En condiciones normales el circuito produce un nivel alto en su salida. Si en el tren de entrada falta un pulso, la señal de salida pasa a un nivel bajo.

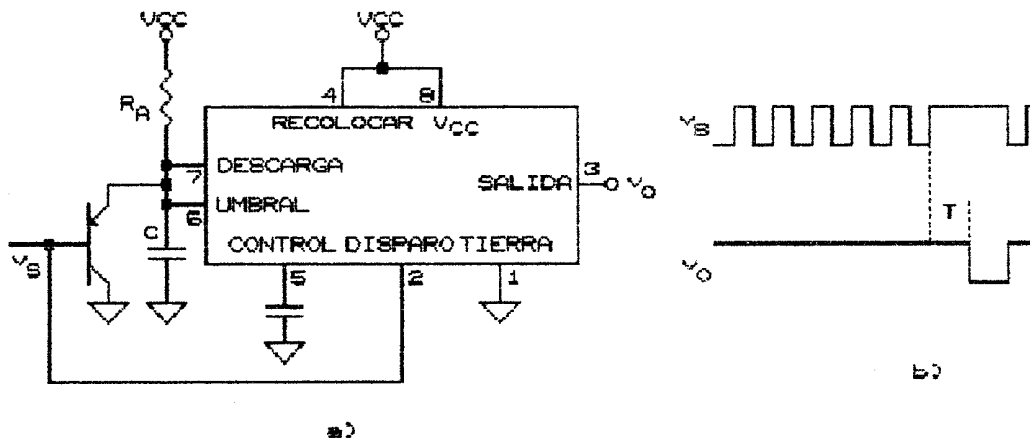


Figura 16. Detector de pulso perdido: a) circuito, b) formas de onda.

El circuito opera como un multivibrador monostable que se mantiene disparado durante todos los intervalos en que la señal de entrada está en su nivel bajo. Si la señal de entrada se mantiene en el nivel alto durante un intervalo de tiempo más largo que la duración del intervalo cuasiestable del multivibrador monoestable, la señal de salida pasa al nivel bajo. Por lo general, se elige la duración del intervalo cuasiestable un 30 % más larga que el período de la señal de entrada.

Generador de funciones (ICL8038). La estructura de este circuito integrado se muestra en la figura siguiente.

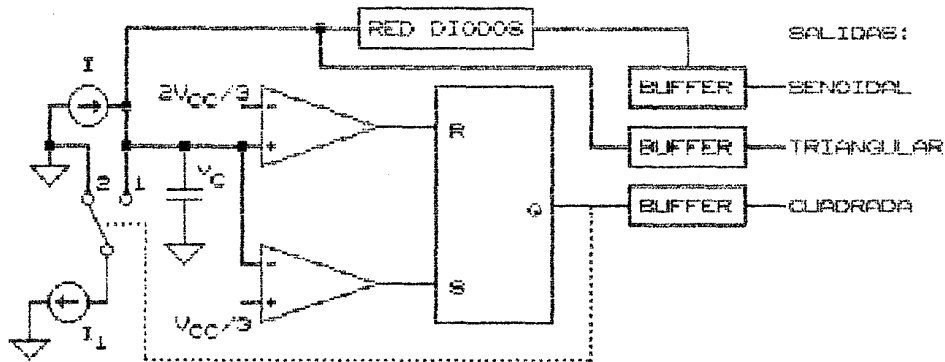


Figura 17: Generador de funciones.

El circuito produce directamente una onda cuadrada y una onda triangular e incluye, al igual que el temporizador 555, dos comparadores y un flip flop que controla la carga y descarga de un condensador mediante dos fuentes de corriente. La onda triangular se transforma en una onda senoidal mediante un circuito conformador interno. Las tres ondas: triangular, cuadrada y senoidal están disponibles en terminales de salida.

Funcionamiento: La línea punteada indica que la posición del Switch S está controlada por la señal de salida del flip flop tipo SR. Las entradas de este flip flop están conectadas a las salidas de dos comparadores. En el análisis que sigue se considerará que $I_1 = 2 I$.

Al conectar V_{CC} en $t = 0$, el switch S está en la posición 2 y la tensión en el condensador C, inicialmente descargado, empieza a aumentar.

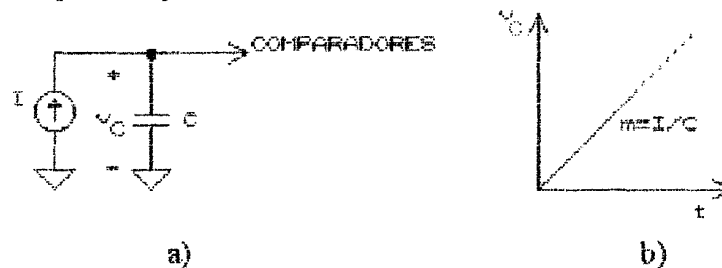


Figura 18. a) Circuito de carga de C, b) forma de carga.

La corriente de carga de C es constante por lo que la carga de C será lineal. Esto es:

$$v_C(t) = \frac{I \cdot t}{C} + v_C(0);$$

que, con C inicialmente descargado se reduce a:

$$v_C(t) = \frac{I * t}{C}$$

Al llegar v_C al valor $2V_{CC}/3$ en $t = T_1$, la salida del flip flop cambia, en igual forma que en un temporizador 555, y el switch pasa a la posición 1.

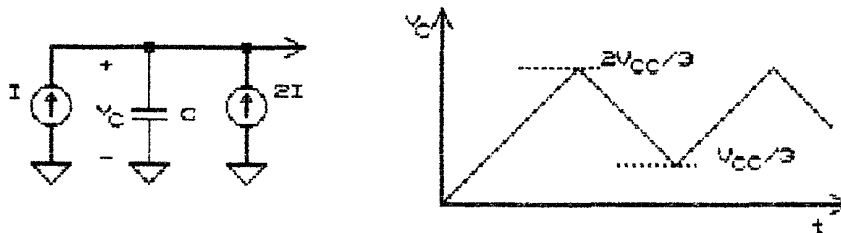


Figura 19. a) Circuito de descarga, b) forma de onda carga y descarga.

Ahora:

$$v_C(t) = \frac{-I * (t - T_1)}{C} + v_C(T_1);$$

Ahora C se descarga linealmente a partir de T_1 . En T_2 la tensión en C habrá llegado a $V_{CC}/3$ y el flip flop cambiará nuevamente su salida.

La señal de salida del flip flop será una onda cuadrada simétrica. El período de esta onda puede obtenerse a partir de:

$$\frac{I}{C} * \frac{T}{2} = \frac{V_{CC}}{3}$$

despejando se obtiene:

$$T = \frac{2 V_{CC} * C}{3 I}$$

En este circuito integrado, T es independiente de V_{CC} pues las corrientes de carga y descarga, I e I_1 son proporcionales a V_{CC} . El circuito entrega, además de la onda cuadrada (originada en la salida del flip flop), una onda triangular (derivada de la tensión en C) y una onda senoidal que se obtiene haciendo pasar la onda triangular por un conformador basado en diodos.

Multivibradores Biestables con transistores. Un multivibrador biestable tiene dos estado estables. Esto es, si el multivibrador está en uno de esos estados, permanecerá en él indefinidamente hasta que, mediante una señal externa, se le haga pasar al otro estado. Aún cuando el uso de multivibradores implementados con transistores discretos está en la actualidad restringido a escasas aplicaciones, es muy ilustrativo estudiar el funcionamiento de este tipo de circuitos.

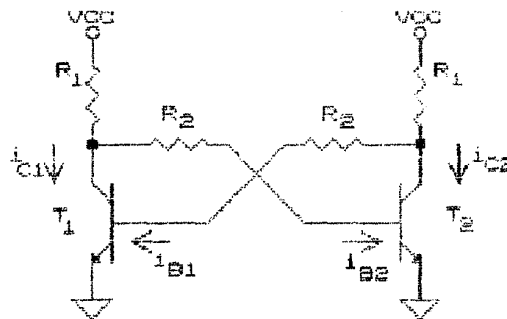


Figura 20. Multivibrador con transistores.

En el circuito anterior supondremos que los componentes están dimensionados de modo que los transistores operan exclusivamente en corte y saturación.

Funcionamiento: A pesar de que existe cierta simetría en el circuito anterior, cualquier pequeña diferencia en el valor de los componentes (o sus parámetros) hará que un transistor conduzca inicialmente más que el otro.

Por ejemplo si inicialmente i_{C1} es mayor que i_{C2} , la tensión de colector v_{C1} será menor que v_{C2} y esto, a su vez hará que i_{B1} sea mayor que i_{B2} . Esto hará aumentar aún más a i_{C1} y disminuir a i_{C2} . Esta situación termina con un transistor (T_1) saturado mientras que el otro (T_2) termina cortado.

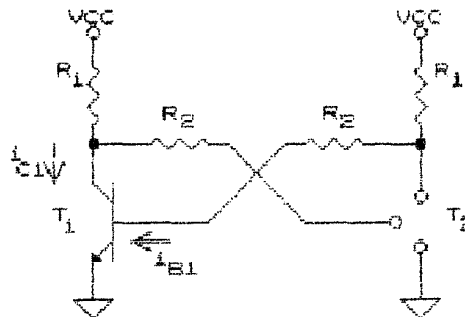


Figura 21. Circuito con T_1 saturado y T_2 cortado.

Las corrientes en T_1 son:

$$I_{B1} = \frac{V_{CC} - V_{BE}(\text{SAT})}{R_1 + R_2}$$

$$I_{C1} = \frac{V_{CC} - V_{CE}(\text{SAT})}{R_1}$$

Los componentes deben dimensionarse de tal forma se cumpla que T_1 está saturado. Esto es:

$$I_{B1} > \frac{I_{C1}}{\beta}$$

El hecho de que T_1 esté saturado implica que T_2 estará cortado. Si no se perturba al circuito éste permanecerá en este estado: éste es un estado estable del circuito.

El otro estado podría alcanzarse aplicando un pulso positivo de tensión a la base del transistor cortado. Este entraría en conducción obligando al transistor que estaba conduciendo a entrar en corte. El pulso aplicado en la base del transistor cortado debería llevar a la base de este transistor por encima de 0.7 volt para producir el cambio de estado.

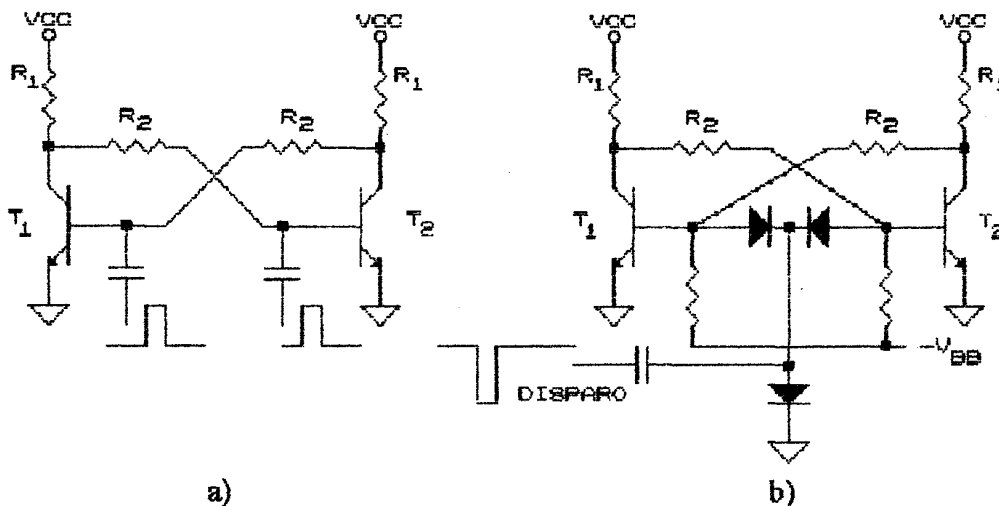


Figura 22. Circuitos de disparo: a) acoplamiento capacitivo, b) acoplamiento con diodos.

En la figura anterior se muestra dos circuitos de disparo. En el primero el cambio de estado se logrará aplicando un pulso positivo a la entrada conectada al transistor que está cortado. En el segundo, la aplicación de pulsos en forma sucesiva produce sucesivos cambios de estado en el multivibrador. La red de diodos acopla el pulso negativo a la base del transistor que está conduciendo.

Multivibrador biestable integrado. Existen varios tipos de multivibradores biestables integrados.

Multivibrador tipo SR. El funcionamiento de este tipo de multivibrador es idéntico al implementado con transistores, descrito en la sección anterior a pesar de que su estructura interna difiere notablemente.

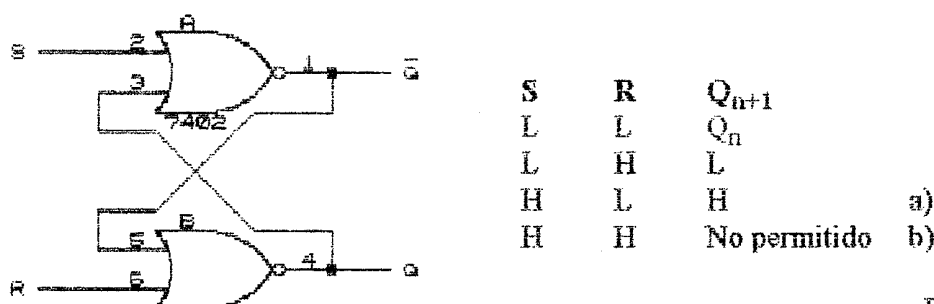


Figura 23. a) Multivibrador SR, b) tabla de funcionamiento.

La respuesta de los diferentes multivibradores se define mediante una tabla de funcionamiento. Esta tabla para una multivibrador biestable tipo SR se muestra en la figura 23b. En la tabla Q_n indica el estado previo.

Aplicaciones. La capacidad de retener un estado en ausencia de señales de entrada permite utilizar los multivibradores en situaciones muy diversas. A continuación se describe el uso de un multivibrador tipo SR en un circuito antirebote.

Circuito antirebote. En la figura 24a se muestra una conexión típica de un switch y la forma de onda ideal de la tensión de salida v_O si el switch se cierra en $t=0$. Sin embargo, en un switch real el cierre del switch no es instantáneo sino que, más bien, como se muestra en la figura 24b, al cerrar manualmente el mismo se producen rebotes que producen cierres y aperturas sucesivas de los contactos de modo tal que, en la práctica, la onda de salida tiene múltiples transiciones.

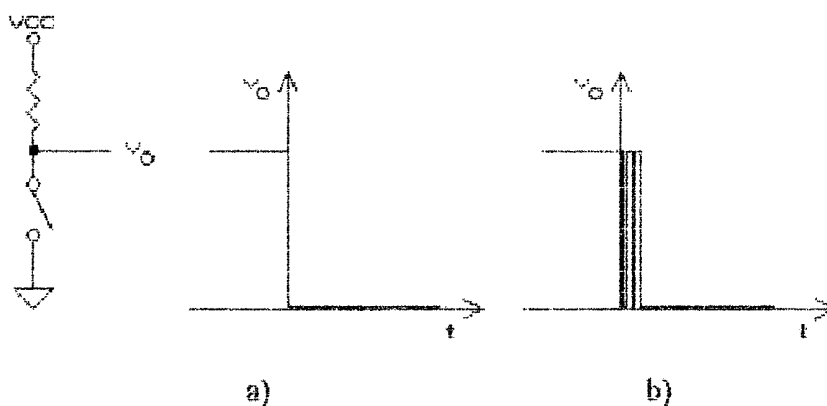


Figura 24. a) Circuito de switch y forma de onda ideal, b) forma de onda real.

Las múltiples transiciones presentes en la onda mostrada en la figura 24b son indeseables y pueden ser corregidas mediante el circuito antirebote mostrado en la figura 25a.

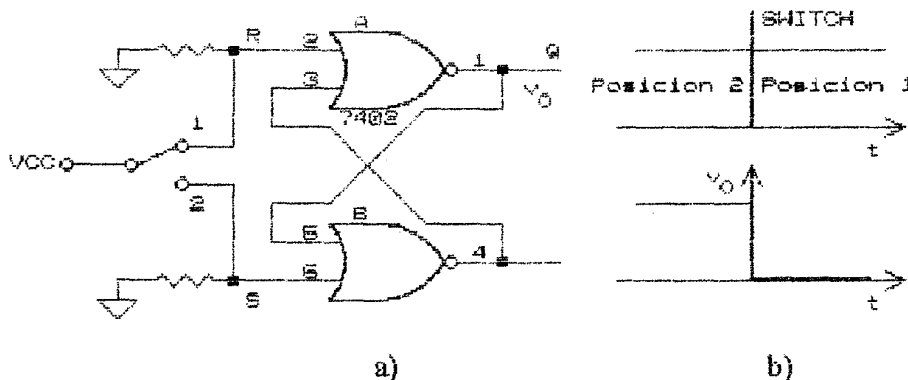


Figura 25. a) Circuito antirebote, b) forma de onda de salida.

El circuito incluye un multivibrador tipo SR. Suponiendo inicialmente el switch en la posición 2 se tendrá $S=H, R=L$. Esto producirá salidas $Q=H, \bar{Q}=L$. Al pasar el switch a la posición 1 y ocurrir el primer contacto del contacto móvil con el contacto 1, las entradas tomarán los valores $S=L, R=H$ con lo que las salidas serán ahora $Q=L, \bar{Q}=H$. Al separarse los contactos por efectos del rebote, las entradas al multivibrador valdrán al flip-flop $S=L, R=L$ con lo que éste mantendrá su salidas previas ($Q=L, \bar{Q}=H$). La salida del circuito será idéntica a la onda ideal de la figura 24.

Otros multivibradores integrados. Se dispone de otros tipos de multivibradores contruidos con base en la estructura básica de un multivibrador SR. A continuación se describen algunos de estos multivibradores.

Flip-Flop SR con reloj. El símbolo de este multivibrador y su tabla de funcionamiento se muestran en la siguiente figura.

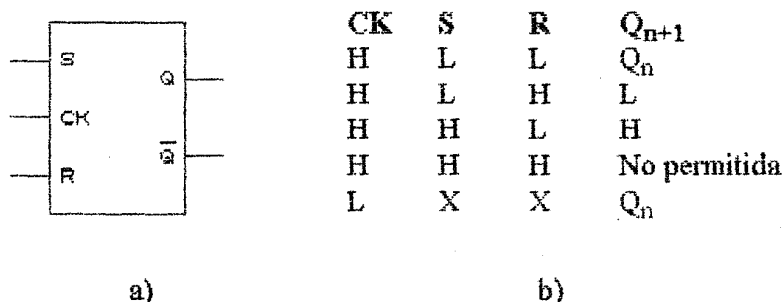


Figura 26. Multivibrador SR con reloj: a) Símbolo, b) Tabla de funcionamiento.

Las transiciones de la salida del flip flop ocurren, de acuerdo a la tabla, en los instantes en que la entrada de reloj (CK) es alta. La salida no cambia si la tensión aplicada a la entrada de reloj es baja.

Ejemplo. En la siguiente figura se muestra la forma en que cambia la salida de este flip flop con las señales de entrada.

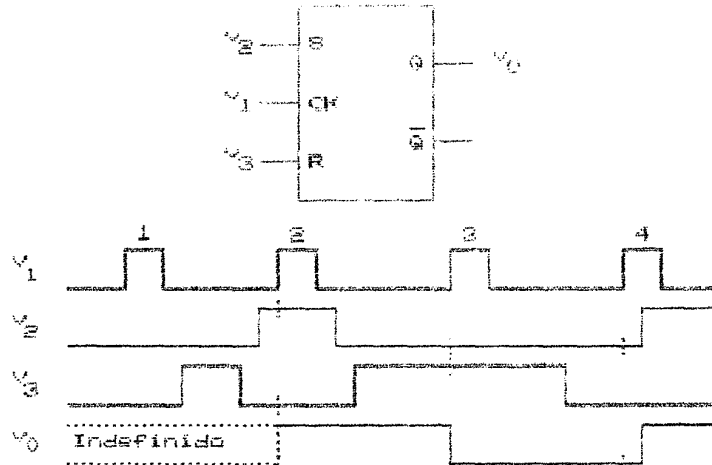


Figura 27. Funcionamiento del flip flop.

Flip-Flop tipo D disparado en borde. Se fabrican varias versiones integradas de este tipo de flip flop. A continuación se muestra el símbolo y la tabla de funcionamiento de un flip flop tipo D de la familia CMOS. Se trata de un flip flop 4042 que permite seleccionar el borde de disparo con una señal aplicada a la entrada de polaridad (POLARITY). En este tipo de flip flop, el nivel en D se transmite hacia la salida Q en los intervalos en que coinciden los niveles presentes en la entradas de polaridad y reloj. La información presente en la salida se retiene en el instante en que ocurre una transición del reloj CK en la dirección indicada en la tabla.

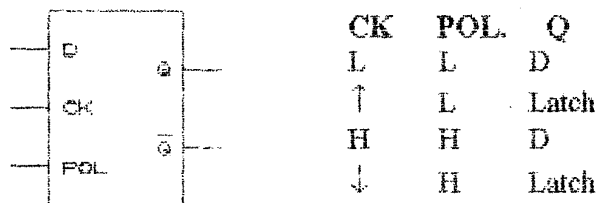


Figura 28. Flip flop tipo 4042.

El efecto de la señal de polaridad se ilustra en el siguiente ejemplo.

Ejemplo.

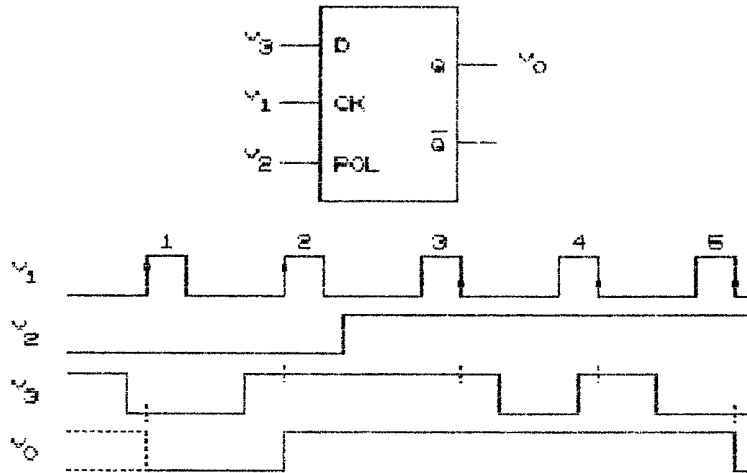


Figura 29. Funcionamiento del flip flop 4042.

En la figura anterior se observa que si POLARITY tiene un nivel bajo, el flip flop transfiere a su salida la señal presente en la entrada en el instante de la transición positiva del reloj CK.

Símbolos, convenciones. Un multivibrador se simboliza mediante un rectángulo al cual llegan líneas que representan las entradas, salidas y conexiones de polarización. La función respectiva se identifica mediante un nombre en el interior del rectángulo frente a cada línea. En el caso de entradas, se colocan ciertos símbolos en forma adyacente al rectángulo para indicar la forma en que la señal aplicada al terminal asociado a la entrada correspondiente producirá el efecto indicado por el nombre de la función correspondiente.

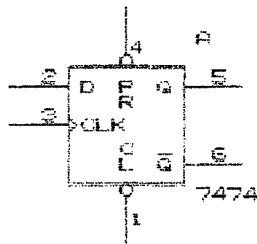
-Negación. Se indica mediante una burbuja adosada al rectángulo.

-Flanco delantero. En algunos multivibradores, la salida cambia de acuerdo al valor que tienen las entradas en el instante en que ocurre una transición de bajo a alto del reloj. Este hecho se indica mediante un pequeño triángulo ubicado dentro del rectángulo que representa el multivibrador y frente a la línea de reloj. Si el cambio ocurre en la transición de alto a bajo del reloj se usa una burbuja y el triángulo.

Otros tipos de flip flops. Existen otros tipos de flip flops que cuentan con entradas adicionales para permitirles un funcionamiento más flexible.

Flip-Flop tipo D con Preset y Clear. Un flip flop de este tipo es el 7474 de la familia TTL. Este flip flop cuenta con entradas de Colocar (set o preset) y de Clear (borrar o recolocar). Ambas entradas son activas en el nivel bajo y tienen prioridad frente a las entradas D y de reloj. Esto es, la salida Q será forzada a un nivel alto si se aplica un nivel bajo a la entrada \overline{PR} y un nivel alto a la entrada \overline{CLR} , independientemente de la entrada D y de las

transiciones del reloj. Por el contrario, si se aplica un nivel bajo a la entrada $\overline{\text{CLR}}$ y un nivel alto a la entrada $\overline{\text{PR}}$, la salida Q tendrá un nivel bajo. Si se aplica simultáneamente un nivel bajo a $\overline{\text{PR}}$ y $\overline{\text{CLR}}$, el multivibrador entrará en un estado inestable. Se debe evitar esta condición.



PR	CLR	CK	D	Q_{n+1}
L	H	X	X	H
H	L	X	X	L
L	L	X	X	H [*]
H	H	↑	H	H
H	H	↑	L	L
H	H	L	X	Q_n

H^{*} : estado inestable.

Figura 30. 7474. a) Símbolo, b) tabla de funcionamiento.

En la tabla anterior se observa que las entradas $\overline{\text{PR}}$ y $\overline{\text{CLR}}$ tienen prioridad.

Ejemplo. En la figura siguiente se muestra el comportamiento de este flip flop frente a diferentes combinaciones de señales de entrada.

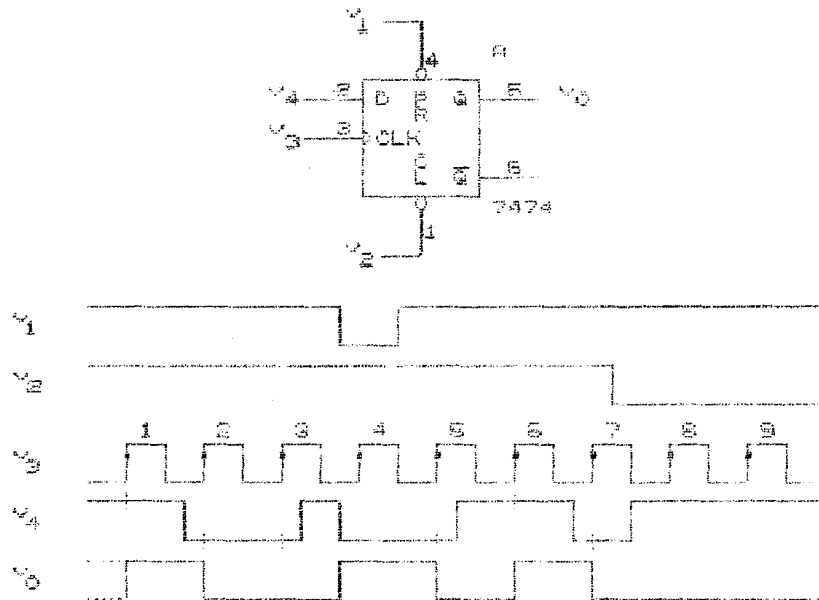
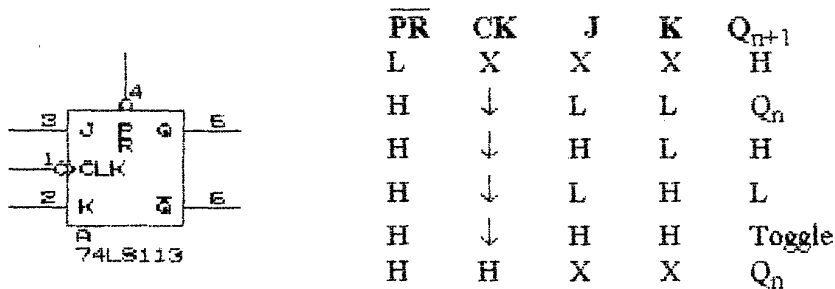


Figura 31. Respuesta del flip flop tipo 7474.

Flip-Flop tipo JK. Este es un multivibrador que tiene cierto parecido al flip flop SR. Sin embargo, a diferencia de éste, admite que sus dos entradas sean altas a la vez. En la siguiente figura se muestra el símbolo y la tabla de funcionamiento de un flip flop JK de la familia TTL.



Toggle. Se complementa la señal de salida previa.

Figura 32. Flip flop tipo 74113: a) símbolo, b) tabla de funcionamiento.

Nuevamente se observa que la entrada \overline{PR} tiene prioridad sobre las otras entradas.

Ejemplo. En la siguiente figura se muestra la respuesta de este multivibrador.

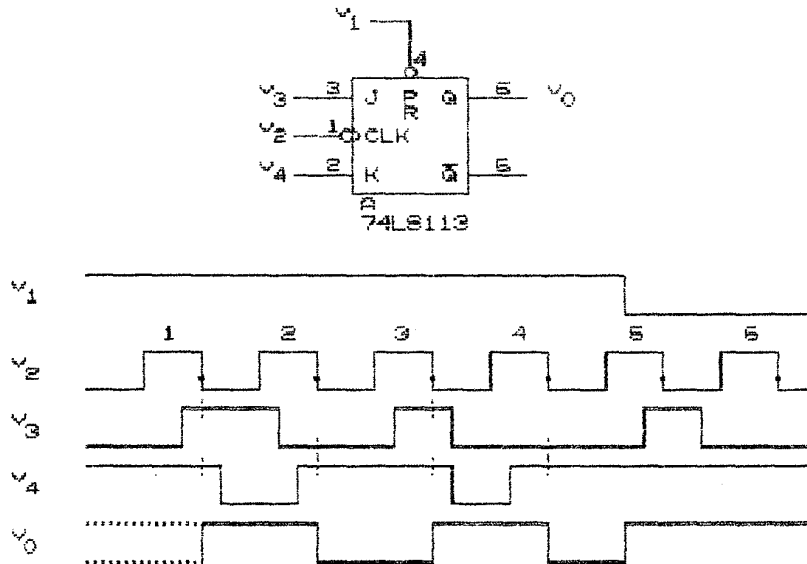


Figura 33. Respuesta del integrado 74LS113.

Multivibradores Monoestable, otras implementaciones.

Un multivibrador monoestable es un circuito que permanece indefinidamente en un estado llamado estado estable. Al aplicarle una señal de disparo, el circuito pasa transitoriamente a un estado cuasiestable en el que permanece durante un tiempo finito, regresando luego al estado estable. En la figura 34 se muestra un multivibrador monoestable con transistores.

Aún cuando este circuito tiene un uso muy restringido, su análisis permite visualizar ciertos conceptos básicos de interés.

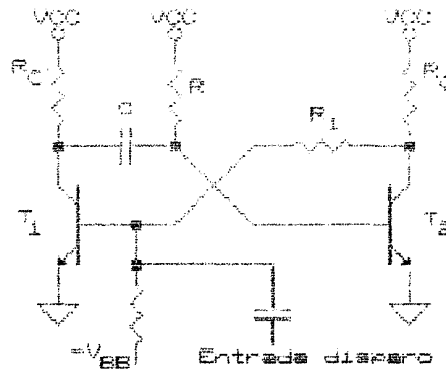


Figura 34. Multivibrador monoestable con transistores.

Estado estable. En este estado el transistor T_1 está saturado. En cambio, el transistor T_2 está cortado.

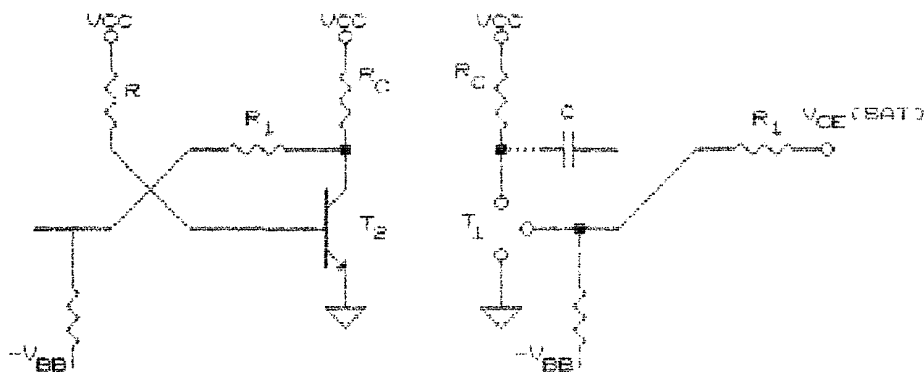


Figura 35. Estado estable. a) Circuito equivalente para T_2 saturado, b) circuito para T_1 .

En el estado estable las corrientes en T_2 están dadas por:

$$I_{B2} = \frac{V_{CC} - V_{BE(SAT)}}{R + r_b}$$

$$I_{C2} = \frac{V_{CC} - V_{CE(SAT)}}{R_C} = \frac{V_{CE(SAT)} + V_B}{R_1 + R_2}$$

Los componentes deben estar dimensionados de modo que $I_{B2} > \frac{I_{C2}}{\beta}$

El circuito para T_1 se muestra en la figura 32 b. La tensión de base en este transistor está dada por:

$$V_{B1} = \frac{-V_{BB} * \frac{1}{R_2} + V_{CE(SAT)} * \frac{1}{R_1}}{\frac{1}{R_2} + \frac{1}{R_1}} < 0.7$$

Esta tensión es insuficiente para hacer conducir a T_1 . Así, este transistor estará cortado y su tensión de colector será:

$$V_{C1} = V_{CC}$$

La tensión en el condensador, v_C es:

$$V_C = V_{C1} - V_{BE1} = V_{CC} - V_{BE(SAT)}$$

Estado Cuasiestable: Al aplicar un pulso a la base de T_1 con suficiente amplitud y duración, para hacer conducir a este transistor, el circuito entrará en el estado cuasiestable (T_1 saturado y T_2 cortado).

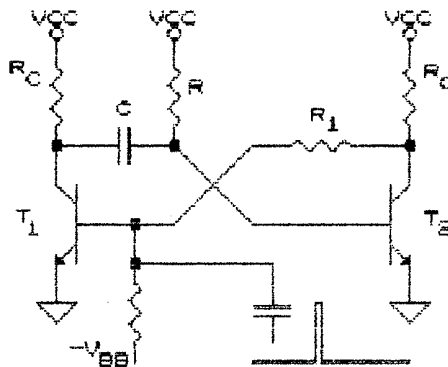


Figura 36. Disparo del multivibrador monoestable.

Al entrar T_1 en conducción, la tensión en la base de T_2 caerá bruscamente desde $V_{BE(SAT)}$ hasta $V_{BE(SAT)} - (V_{CC} - V_{BE(SAT)})$ al ocurrir la saturación de T_1 . Luego, v_{B2} subirá exponencialmente hacia V_{CC} . Esto es:

$$v_{B2} = V_{CC} + [V_{CC} - (V_{CC} - V_{BE(SAT)})] e^{-t/RC}$$

 En $t = T$, la tensión v_{B2} llegará al nivel $V_{BE(CON)}$ (mínima tensión entre Base y Emisor para que un transistor conduzca).

$$v_{B2}(t = T) = V_{BE(CON)} = V_{CC} + [V_{CC} - (V_{CC} - V_{BE(SAT)})] e^{-T/RC}$$

En T el transistor T_2 volverá a conducir y la caída de su tensión de colector cortará a T_1 . La tensión en C habrá alcanzado el valor:

$$v_C(T) = V_{CE}(SAT) - V_{BE}(CON)$$

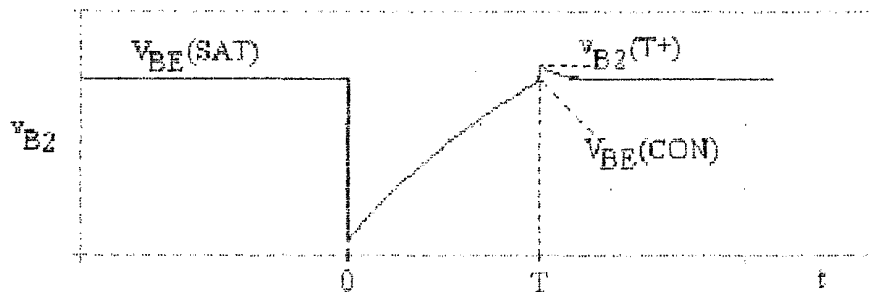


Figura 37. Variación de v_{B2} .

Al iniciar T_2 su conducción, la tensión en la su base puede ser determinada empleando el circuito de la figura anterior:

$$v_{B2}(t = T^+) = \frac{(V_{CC} - v_C(T)) * \frac{1}{R_C} + V_{CC} * \frac{1}{R} + V_{BE}(SAT) * \frac{1}{rb}}{\frac{1}{R_C} + \frac{1}{R} + \frac{1}{rb}}$$

Posteriormente v_{B2} tiende a:

$$v_{B2}(\infty) = \frac{V_{CC} * \frac{1}{R} + V_{BE}(SAT) * \frac{1}{rb}}{\frac{1}{R} + \frac{1}{rb}} \approx V_{BE}(SAT)$$

El cambio será exponencial con una constante de tiempo $(R_C + R || rb) * C$.



Figura 38. Otras formas de onda.

En la figura 38 se muestran el pulso de disparo y la tensión de salida.

Monoestables integrados. Se fabrica multivibradores monoestables integrados compatibles con varias familias lógicas. En estos frecuentemente se ofrece la posibilidad de seleccionar el borde de disparo además de entradas de habilitación y recolocar.

En la siguiente figura se muestra el circuito tipo 74121 de la familia TTL. Este multivibrador puede ser disparado con flanco de bajada o subida.

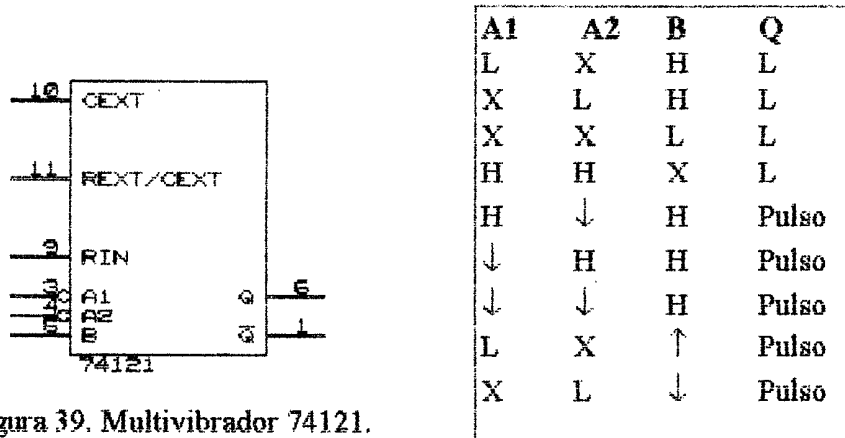


Figura 39. Multivibrador 74121.

Duración del pulso de salida, T. Esta puede ser ajustada mediante una resistencia y un capacitor externos.

Entrada de reset. Esta entrada es prioritaria y se activa con un nivel bajo. Esto es, si la tensión aplicada en esta entrada es baja se ignoran los pulsos de disparo. También, si el circuito había sido ya disparado, al pasar la tensión aplicada a esta entrada a un nivel bajo la salida Q cae de inmediato.

Ejemplo. En la figura se ilustra el modo de operación de un multivibrador monoestable 74121.

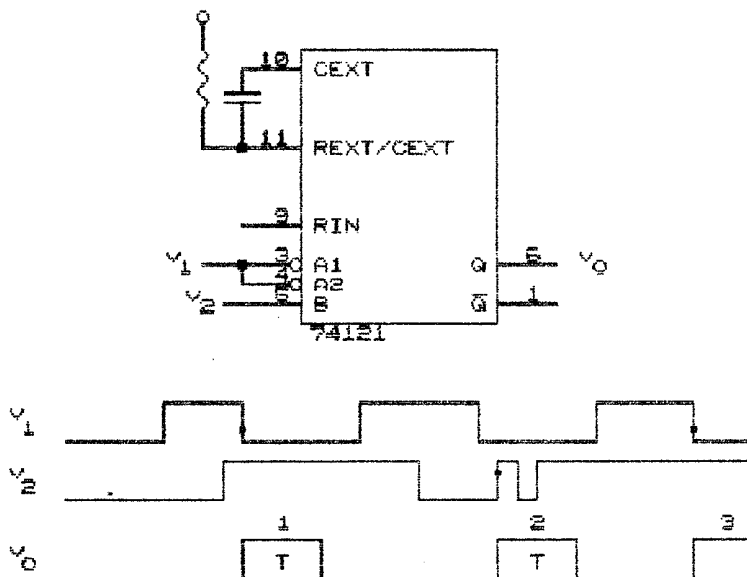
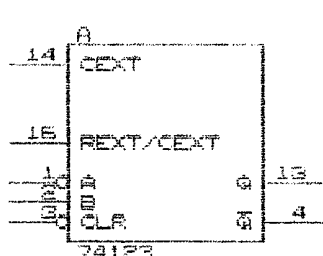


Figura 40. Funcionamiento de un 74121.

Multivibrador monoestable tipo 74123. Este multivibrador pertenece a la familia TTL. Su estructura y tabla de disparo se muestran en la siguiente figura:



A	B	$\overline{\text{CLR}}$	Q
H	X	H	L
X	L	H	L
L	↑	H	Pulso
↓	H	H	Pulso
X	X	L	L

Figura 41.
Multivibrador
74123.

Este

multivibrador es redisparable. Esto es, si ya está en el estado cuasiestable y antes de que concluya este estado vuelve a ser disparado, permanecerá en el estado cuasiestable por la duración total T de ese estado, contando el tiempo desde el instante del último disparo.

Observaciones: El pulso de disparo debe tener un ancho mínimo (t_{\min}) indicado en el manual.

Ejemplo.

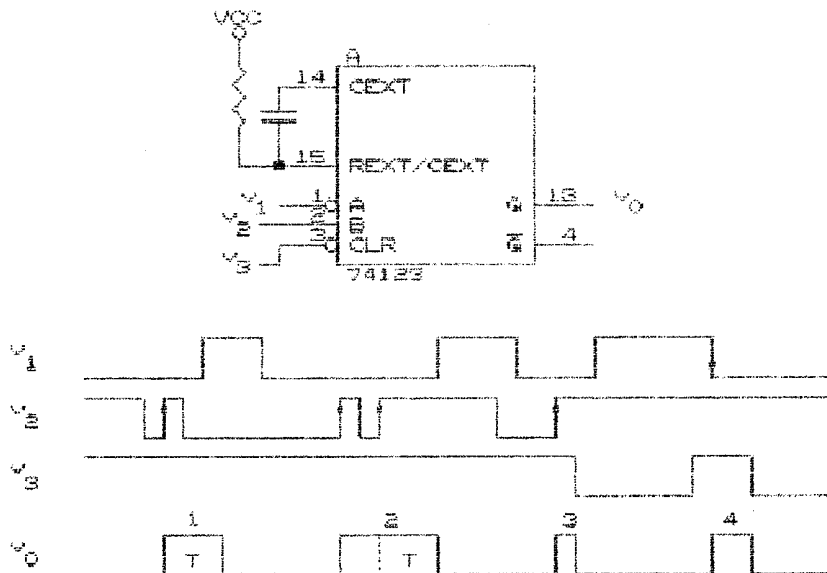


Figura 42. Redisparo.

Multivibrador inestable con transistores. En la figura siguiente se muestra un multivibrador inestable implementado con transistores.

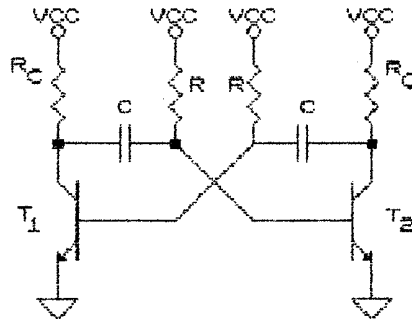


Figura 43. Multivibrador inestable con transistores.

Este circuito produce una señal rectangular de salida. Su funcionamiento se puede entender fácilmente pues se asemeja al de la mitad derecha de un multivibrador monoestable.

TEMA IV

FAMILIAS LOGICAS

Introducción. En este capítulo se describe la estructura y el funcionamiento de las familias lógicas de uso más común. La presentación de características importantes tales como velocidad de respuesta, capacidad de carga y disipación se hace empleando familias de estructura simple, las que, aunque en desuso, facilitan la comprensión de estos parámetros de uso general en todo tipo de compuertas. El capítulo se inicia con la presentación de los modelos del transistor, indispensables para analizar el comportamiento de este dispositivo en toda aplicación.

Modelos del transistor. El funcionamiento del transistor en cualquier condición de polarización puede ser descrito, en forma muy aproximada, por el siguiente conjunto de ecuaciones (ecuaciones de Ebers-Moll):

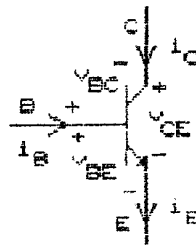


Figura 1. Corrientes y tensiones en el transistor.

$$i_E = \frac{I_S}{\alpha_F} (e^{v_{BE}/V_T} - 1) - I_S (e^{v_{BC}/V_T} - 1)$$

$$i_C = I_S (e^{v_{BE}/V_T} - 1) - \frac{I_S}{\alpha_R} (e^{v_{BC}/V_T} - 1)$$

$$i_B = \frac{I_S}{\beta_F} (e^{v_{BE}/V_T} - 1) + \frac{I_S}{\beta_R} (e^{v_{BC}/V_T} - 1)$$

En las ecuaciones anteriores tanto I_S (corriente inversa de saturación) como α_F , α_R , β_F y β_R son constantes propias de cada transistor. Se verifica que:

$$\beta_F = \frac{\alpha_F}{1 - \alpha_F} \text{ y } \beta_R = \frac{\alpha_R}{1 - \alpha_R}$$

A las cantidades anteriores se les llama:

β_F : Ganancia directa de corriente y β_R : Ganancia inversa de corriente.

Además,

$$V_T = \frac{kT}{q}$$

donde k = constante de Boltzman: $1.38 \cdot 10^{-23}$ J/K, T = temperatura absoluta en $^{\circ}\text{K}$ y q = carga del electrón: $1.6 \cdot 10^{-19}$ Coulomb. A temperatura ambiente (300 $^{\circ}\text{K}$), $V_T = 25.9$ mV.

Ejemplo: En el circuito $I = 100$ μA . Halle v_{BE} . El transistor tiene $I_S = 10^{-14}$ A, $\beta_F = 100$, $\beta_R = 1$. Considere $V_T = 25$ mV.

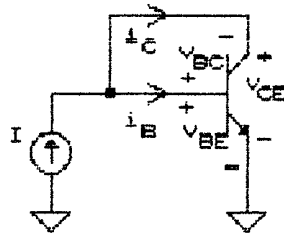


Figura 2. Circuito del ejemplo.

En ese circuito se tiene:

$$I_E = I_B + I_C = 100 \mu\text{Amp.}$$

$$v_{BC} = 0.$$

Además,

$$I_S = 10^{-14}$$

$$y \quad \alpha_F = \frac{\beta_F}{1 + \beta_F} = \frac{100}{101} \approx 0.99$$

la ecuación de la corriente de emisor queda:

$$i_E = \frac{I_S}{\alpha_F} (e^{v_{BE}/V_T} - 1)$$

reemplazando los valores anteriores y despejando v_{BE} se halla:

$$v_{BE} = 25 \text{ mV} \ln(10^{10}) = 575 \text{ mV}$$

Operación en región activa: Un transistor NPN opera en región activa si:

$$v_{BE} > 0; v_{BC} < 0$$

Considerando que se cumplen estas desigualdades, en el rango normal de operación, las ecuaciones del transistor pueden ser aproximadas por:

$$i_E \approx \frac{I_S}{\alpha_F} (e^{v_{BE}/V_T} - 1)$$

$$i_C \approx I_S (e^{v_{BE}/V_T} - 1)$$

$$i_B \approx \frac{I_S}{\beta_F} (e^{v_{BE}/V_T} - 1)$$

Se observa que:

$$i_C = \beta_F * i_B; \quad i_C = \alpha * i_E$$

Modelo dc aproximado de región activa. En región activa, la corriente de colector es proporcional a la corriente de base. Además, la caída entre base y emisor, en el rango de corrientes normales de operación, es aproximadamente 0.6 volt.

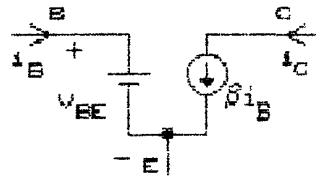


Figura 3. Modelo de región activa.

Operación en la región de Saturación: Un transistor NPN opera en la región de saturación si los uniones BE y BC se polarizan directamente (emisor y colector negativos respecto de la base). Esto es:

$$v_{BE} > 0; \quad v_{BC} > 0$$

En este caso, se deben tomar en cuenta todos los términos exponenciales en las ecuaciones de Ebers-Moll. En un rango de corrientes significativas en Electrónica (con valores muy superiores a I_S), estas ecuaciones pueden ser escritas en la siguiente forma:

$$i_E = \frac{I_S}{\alpha_F} e^{v_{BE}/V_T} - I_S e^{v_{BC}/V_T}$$

$$i_C = I_S e^{v_{BE}/V_T} - \frac{I_S}{\alpha_R} e^{v_{BC}/V_T}$$

$$i_B = \frac{I_S}{\beta_F} e^{v_{BE}/V_T} + \frac{I_S}{\beta_R} e^{v_{BC}/V_T}$$

Se define ganancia de corriente en saturación o β forzado, β_f , a:

$$\beta_f = \frac{i_C}{i_B} < \beta_F$$

En las ecuaciones de Ebers-Moll, si tomamos: $i_C = \beta_f * i_B$ se obtiene:

$$i_C = I_S e^{v_{BE}/V_T} - \frac{I_S}{\alpha_R} e^{v_{BC}/V_T} = \beta_f * i_B = \beta_f \left(\frac{I_S}{\beta_F} e^{v_{BE}/V_T} + \frac{I_S}{\beta_R} e^{v_{BC}/V_T} \right)$$

despejando: $v_{CE} = v_{CE}(\text{SAT}) = v_{CB} - v_{EB}$ se obtiene:

$$v_{CE}(\text{SAT}) = V_T * \ln \left[\frac{1 + \frac{1 + \beta_f}{\beta_R}}{1 - \frac{\beta_f}{\beta_F}} \right]$$

Ejemplo: La tabla siguiente muestra la forma en que varía $v_{CE}(\text{SAT})$ al variar el nivel de saturación (β_f) en un transistor que tiene $\beta_F = 50$.

β_f	50	48	40	30	20	10	1	0
v_{CE}	∞	235	191	166	147	123	76	60

Modelo de aproximado de saturación. En el rango normal de corrientes de operación en saturación el comportamiento del transistor puede ser modelado como se muestra en la figura:

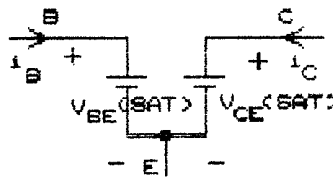


Figura 4. Modelo de saturación.

Se observa que la caída entre colector y emisor se ha representado, por simplicidad, mediante una caída constante, $V_{CE}(\text{SAT})$.

Operación en Modo Inverso: El transistor opera en este modo si la tensión aplicada al colector es más positiva que la tensión aplicada al emisor. Más específicamente:

$$v_{BE} < 0, v_{BC} > 0$$

En este caso, las ecuaciones de Ebers-Moll se reducen a:

$$i_E = -I_S e^{v_{BC}/V_T}$$

$$i_C = -\frac{I_S}{\alpha_R} e^{v_{BC}/V_T}$$

$$i_B = \frac{I_S}{\beta_R} e^{v_{BC}/V_T}$$

Para situaciones normales, i_C e i_E son negativas. Por conveniencia se define:

$$i_C^* = -i_C, i_E^* = -i_E$$

Así, el transistor puede representarse como se muestra en la figura:

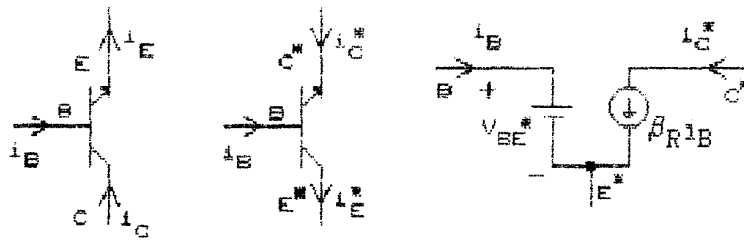


Figura 5. Modelo en región inversa (activa).

Ejemplo: En el circuito de la figura, el transistor está polarizado en forma inversa. Hallar v_{EC} ($v_{C'E'}$). El transistor tiene: $\beta_R = 1$, $\beta_F = 100$, $v_{BE} = 0.6$.

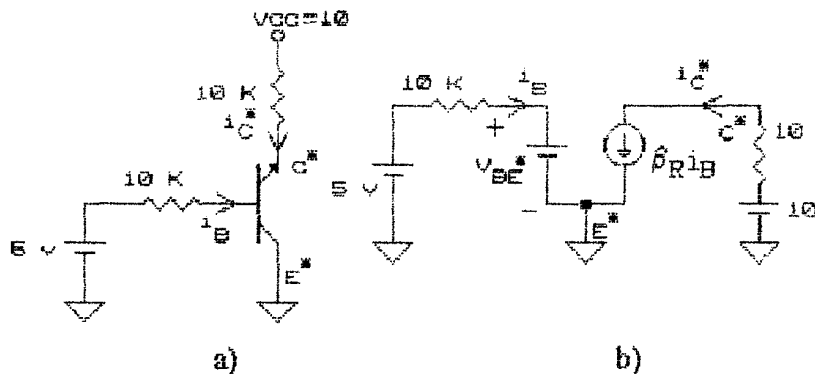


Figura 6. a) Circuito, b) circuito equivalente.

El transistor opera en el modo inverso pues el emisor está a una tensión más positiva que el colector. La corriente de base es:

$$i_B = \frac{5 - 0.6}{10K} = 0.44 \text{ mA}$$

Además,

$$i_C^* = \beta_R * i_B = 1 * 0.44 \text{ mA} = 0.44 \text{ mA}$$

$$v_{EC} = 10 - 0.44 \text{ mA} * 10K = 5.6 \text{ volt}$$

Esto es, el transistor opera en modo activo inverso.

Saturación en el modo inverso. En el modo inverso la saturación se alcanza cuando la corriente de base es:

$$i_B > \frac{i_C^*}{\beta_R}$$

Siguiendo un procedimiento similar al empleado en saturación normal puede obtenerse la siguiente expresión para la caída v_{EC} :

$$v_{C^*E^*} = v_{EC}(SAT) = V_T * \ln \left[\frac{1 + \frac{i_C^*}{i_B}}{\beta_F} \right] \frac{\beta_F}{1 - \frac{i_C^*}{i_B} \beta_R}$$

Ejemplo: Hallar $v_{EC}(SAT)$. El transistor tiene $\beta_R = 1$, $\beta_F = 100$

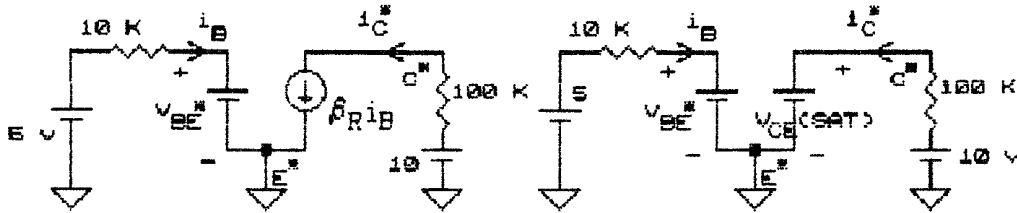


Figura 7. a) Modelo de saturación inversa, b) Circuito del ejemplo.

La corriente de base es 0.44 mA, tal como en el ejemplo anterior.

Suponiendo operación en región activa inversa se tendría:

$$i_C^* = \beta_R * i_B = 1 * 0.44 \text{ mA}$$

Sin embargo con esta corriente la tensión en emisor resulta:

$$v_{CE} = 5 - 100 \text{ K} * 0.44 \text{ mA} = -39 \text{ volt}$$

Esto no tiene sentido, el transistor debe operar en la región de saturación inversa. Se debe utilizar el modelo correspondiente como se muestra en la figura 7b.

Se tiene:

$$i_C = \frac{5 - v_{EC}}{100 \text{ K}}$$

Se debe resolver simultáneamente esta ecuación con la que establece el valor de $v_{EC}(SAT)$.

La solución puede obtenerse por iteración: suponiendo inicialmente $v_{EC} = 0$.

$$i_C^* = \frac{5}{100 \text{ K}} = 50 \text{ uA}$$

Reemplazando este valor en la ecuación de $v_{EC}(SAT)$ junto con $i_B = 0.44 \text{ mA}$ se obtiene $v_{EC}(SAT) = 3.28 \text{ mV}$. Una segunda iteración produce, prácticamente, el mismo valor.

En el modo de operación en saturación inversa las caídas v_{EC} son muchos menores que las caídas v_{CE} propias del modo de saturación normal.

Familias Lógicas: La implementación de funciones digitales ha variado notablemente con el desarrollo de la tecnología. Se han producido mejoras en los siguientes aspectos:

- Potencia disipada
- Velocidad de respuesta
- Inmunidad al ruido
- Capacidad de excitación en la salida (FAN OUT)

El significado e importancia de cada uno de estos términos se explicará durante el estudio de las familias lógicas. El estudio de las familias lógicas se iniciará con familias muy simples y totalmente en desuso pero que, por su simplicidad, permiten visualizar fácilmente conceptos generales aplicables a todo tipo de familias.

Compuertas con diodos: La forma más simple de implementar compuertas requiere del uso de diodos y resistencias. En la figura se muestran una compuerta Y (AND) y otra compuerta O (OR) implementadas en esta forma:

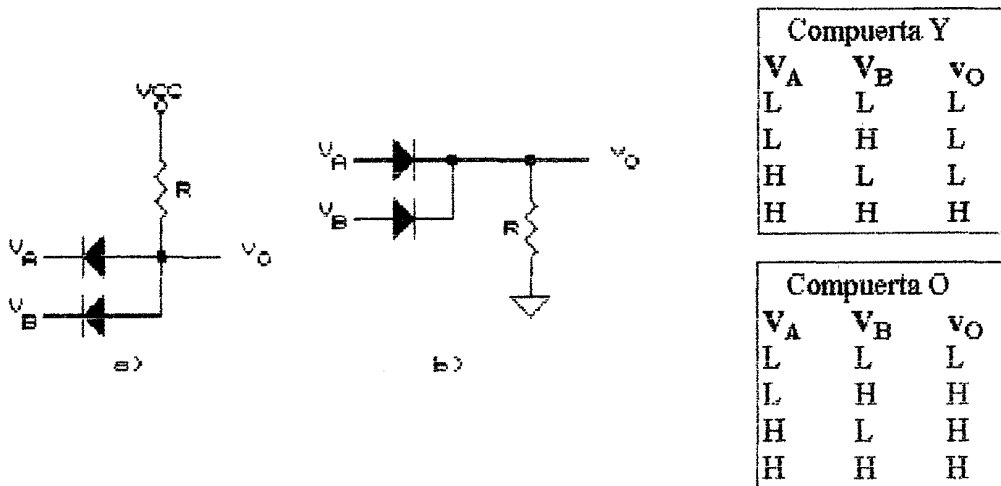


Figura 8. Compuertas con diodos: a) compuerta Y, b) compuerta O.

Ejemplo de Aplicación: El siguiente circuito produce una señal de salida alta si la tensión de la red se sale de cierto rango considerado normal y una señal baja en caso contrario.

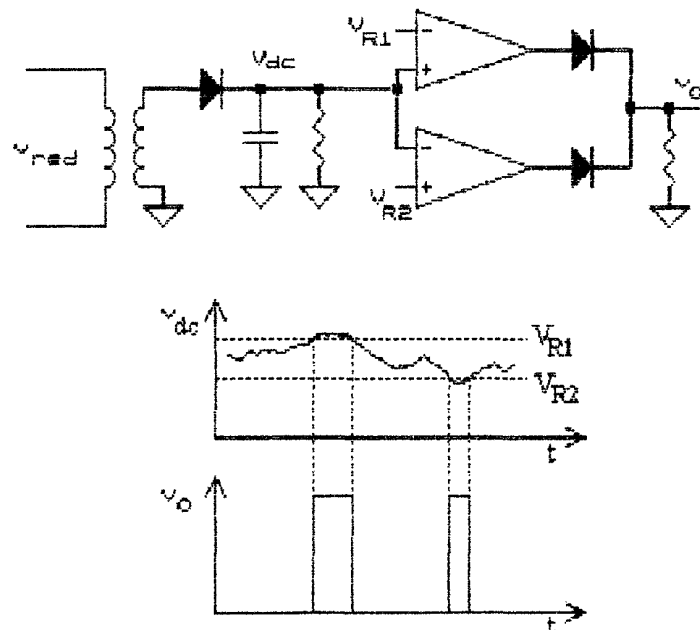


Figura 9. Detector de tensión anormal en la red.

La tensión entregada por el rectificador, V_{dc} es proporcional al valor de pico de la tensión de la red. La señal de salida del comparador 1 es un nivel bajo si la tensión V_{dc} es menor que V_{R1} . En cambio, la señal de salida del comparador 2 es un nivel bajo si la tensión V_{dc} es mayor que V_{R2} . La salida v_O de la compuerta O, implementado con diodos, será alta sólo si $V_{dc} > V_{R1}$ o $V_{dc} < V_{R2}$.

Un nivel alto en v_O indica que la tensión de la red se ha salido del rango prefijado. Así, v_O puede ser usado para activar circuitos de protección en el caso de que la tensión de la red esté por encima o por debajo de un rango considerado seguro.

Desventajas de las compuertas con diodos: Los compuertas implementadas con diodos son muy simples. Sin embargo, su uso está muy restringido pues presentan los siguientes inconvenientes:

-baja velocidad. Por lo general, la carga tiene un carácter capacitivo y la naturaleza de una compuerta implementada con diodos impide inyectar o extraer corriente de la carga en forma rápida. Esto reduce la velocidad de respuesta de la compuerta.

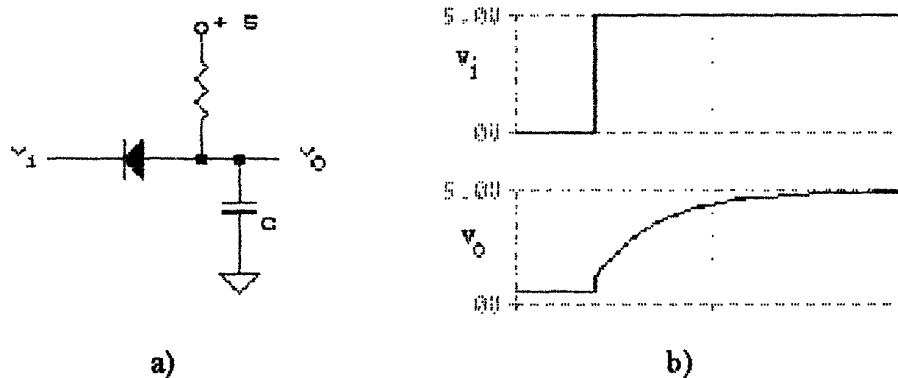


Figura 10. Compuerta con diodos: a) carga capacitiva, b) respuesta.

-dificultades de interconexión. Los niveles lógicos dependen fuertemente de la carga o de lo que se conecte a la salida. Además, al interconectar dos compuertas, la diferencia entre el nivel alto y el nivel bajo se hace cada vez menor.

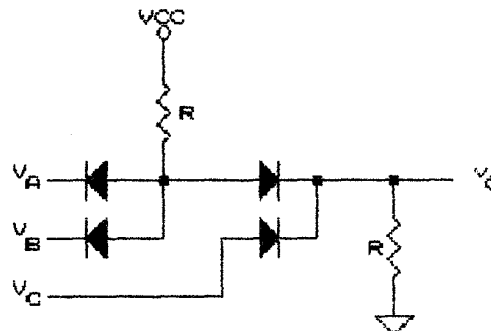


Figura 11. Interconexión de dos compuertas.

En la figura anterior si $V_A = V_B = 5$ volt y $V_C = 0$, la tensión de salida será un nivel alto de apenas 2.15 volt.

Familia DTL: En la familia DTL (Diode Transistor Logic) se logra una mejora apreciable en la respuesta agregando un transistor a la estructura anterior. En la figura se muestra una compuerta NO-Y de la familia DTL.

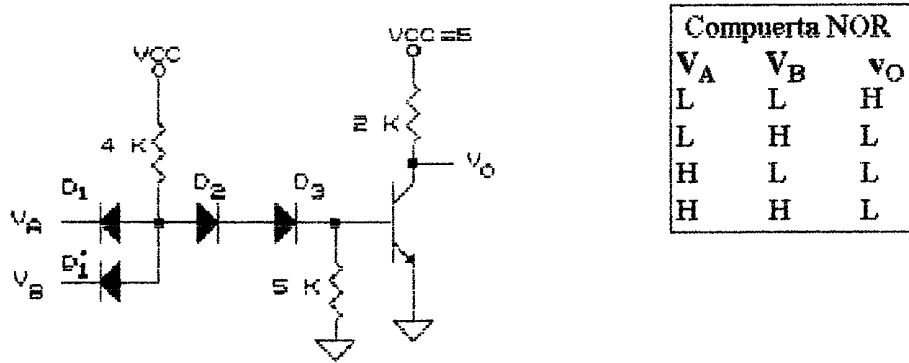


Figura 12. Compuerta NAND. DTL

El transistor permite obtener una tensión de salida con niveles alto y bajo relativamente independientes de la carga. En la figura siguiente se muestra una compuerta NO-Y cargada con una compuerta inversora. Los niveles de salida de la primera compuerta son V_{CC} y $V_{CE(SAT)}$. Estos niveles se mantendrán con carga.

-nivel alto de salida. Si $v_O = V_{CC}$, el diodo D_1 de la segunda compuerta estará polarizado inversamente y su corriente será del orden de I_S produciendo una caída insignificante en la resistencia de carga del transistor de salida de la primera compuerta.

-nivel bajo de salida. En el nivel bajo de salida la tensión se mantendrá en $V_{CE(SAT)}$ a menos que la corriente proveniente de la carga sea excesivamente alta y saque de saturación al transistor de salida de la primera compuerta.

Característica de transferencia: La característica de transferencia permite visualizar la forma en que varía v_O al variar v_i . En la siguiente figura se muestra la característica de transferencia para una compuerta inversora de la familia DTL.

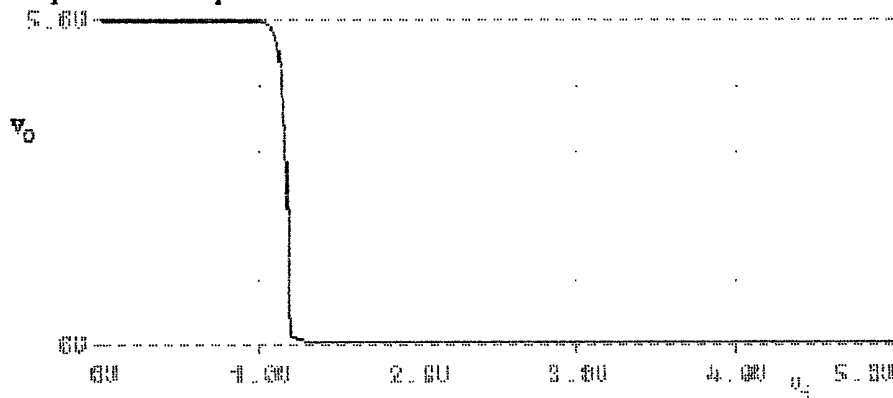


Figura 14. Característica de transferencia (DTL).

Se llama tensión umbral al nivel de v_i que produce $v_o = v_i$.

La familia DTL representa una solución para el problema de niveles que ocurre en la interconexión de compuertas con diodos. Sin embargo, la familia DTL es demasiado lenta.

Familia RTL: Prácticamente, esta familia no se usa en la actualidad. Sin embargo, su estudio permite clarificar algunos conceptos importantes aplicables a todas las familias lógicas.

En la figura se muestra una compuerta RTL tipo NOR.

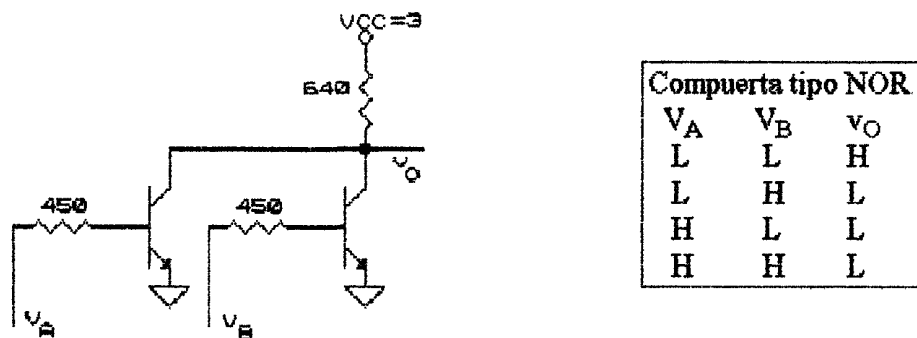


Figura 15. Compuerta RTL (NOR).

En esta compuerta, el nivel en la salida será bajo si cualquiera de los transistores conduce. Sin carga, los niveles de salida son $V_{CE(SAT)}$ y V_{CC} . Al colocar una carga a la salida de la compuerta estas tensiones variarán reduciendo la diferencia entre el nivel bajo y el nivel alto. Para cuantificar este efecto consideremos la conexión de la figura en la que la compuerta de la izquierda (driver) excita a otras compuertas de carga.

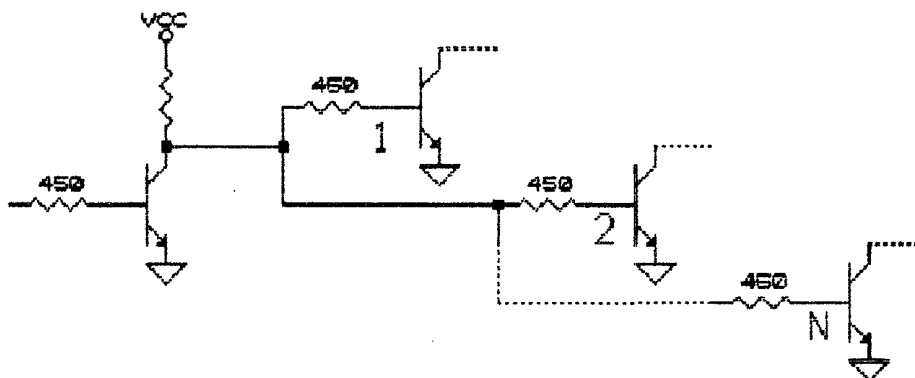


Figura 16. Compuerta RTL con carga.

Se observa que la corriente en las entradas de las compuertas de carga producirá una caída en la resistencia de colector del transistor de salida de la compuerta de la izquierda.

FAN OUT: Se define como Fan Out a la cantidad máxima de compuertas del mismo tipo que puede conectarse a la salida de una compuerta dada, manteniendo cierto nivel de margen de ruido.

Nivel alto de salida: Si el nivel de salida de la compuerta de la izquierda (driver) es un nivel alto, la magnitud de éste dependerá de la caída producida en la resistencia de 640 ohm por las corrientes de base de las N compuertas de carga. Si la base de cada transistor de carga tomara 1 mA:

$$\begin{array}{lll} N = 1 & V_{640} = 0.640 & v_O = 3 - 0.640 = 2.36 \text{ volt} \\ N = 2 & V_{640} = 2(0.640) & v_O = 3 - 2(0.640) = 1.72 \text{ volt} \end{array}$$

y así sucesivamente. Se observa que este cálculo es muy inexacto pues la corriente de base que tomará cada transistor de carga depende realmente del nivel de la tensión de salida de la compuerta driver. Sin embargo, el cálculo anterior muestra la forma en que variará v_O .

Nivel bajo de salida: la corriente de base en los transistores de carga puede ser encontrada usando la ecuación de Ebers-Moll:

$$i_B = \frac{I_S}{\beta_F} (e^{v_{BE}/V_T} - 1) + \frac{I_S}{\beta_R} (e^{v_{BC}/V_T} - 1)$$

En el nivel bajo de salida, ignorando en una primera aproximación las caídas en las resistencias de base y suponiendo que los transistores tienen $V_{CE(SAT)} = 0.2$, $\beta_F = 50$ y $\beta_R = 0.1$, $I_S = 10^{-14}$, se tendrá, para una tensión de salida de 0.2 volt de la compuerta driver, los siguientes valores en las compuertas de carga:

$$v_{BE} = 0.2 \text{ volt}; \quad v_{BC} = -2.8 \text{ volt.}$$

Con estos valores se encuentra:

$$i_B \approx 50 I_s$$

Esta corriente de base es muy pequeña y, para efectos prácticos, en el nivel bajo de salida de la compuerta driver, el efecto de la corriente de base de los transistores de carga puede ser ignorado.

Característica de Transferencia: la característica de transferencia para una compuerta inversora con carga se ve afectada por la naturaleza de la carga. En la figura siguiente se muestra la forma de esta característica:

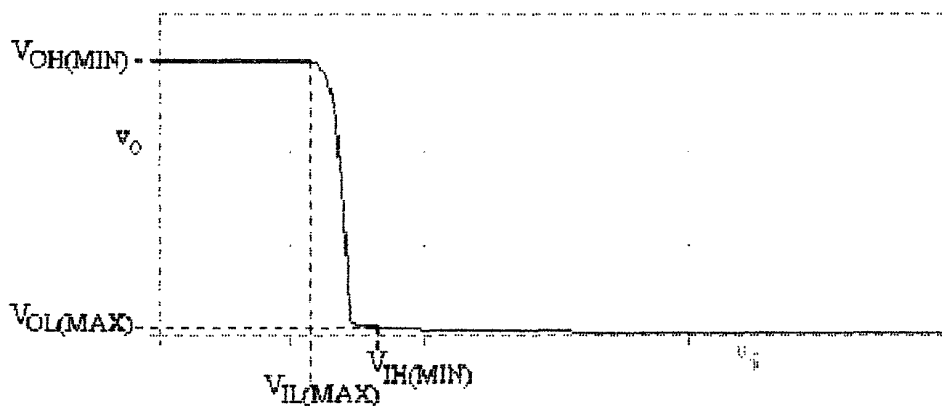


Figura 17. Característica de transferencia (RTL).

En general, si se aumentara el número N de compuertas de carga disminuiría la magnitud del nivel alto y aumentaría la magnitud del nivel bajo.

Se define:

$V_{IL}(\text{máx})$: Máxima tensión que aplicada a la entrada de la compuerta inversora producirá un nivel alto a la salida de ésta.

$V_{IH}(\text{mín})$: Mínimo valor de v_i que será entendido correctamente por la compuerta inversora como un nivel alto de entrada, es decir el mínimo valor aplicado en la entrada que producirá un nivel bajo en la salida.

$V_{OH}(\text{mín})$: Mínimo valor del nivel alto de salida en las condiciones de carga (N) especificadas.

$V_{OL}(\text{máx})$: Máximo valor del nivel bajo de salida en las condiciones de carga (N) especificadas.

Márgenes de Ruido:

Se define margen de ruido en el nivel bajo a:

$$\Delta 0 = \Delta L = V_{IL}(\text{máx}) - V_{OL}(\text{máx})$$

$\Delta 0$ representa la magnitud máxima de la tensión de ruido o interferencia que puede inducirse en la entrada de la compuerta de carga cuando ésta está recibiendo un nivel bajo desde una compuerta similar y sin que la compuerta de carga llegue a operar en la región de transición de la característica de transferencia por efecto de la perturbación.

Del mismo modo se define $\Delta 1$.

$$\Delta 1 = \Delta H = V_{OH}(\text{mín}) - V_{IH}(\text{mín})$$

Margen de ruido de la compuerta: se define como margen de ruido de la compuerta al menor entre $\Delta 1$ y $\Delta 0$.

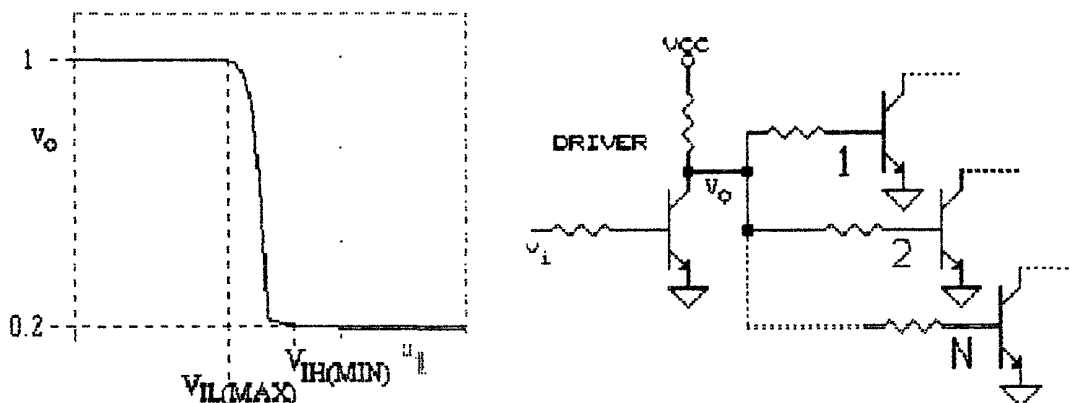


Figura 18. Ejemplo de Fan Out.

FAN OUT. El margen de ruido se ve afectado por el número de compuertas de carga. Se define como "FAN OUT" la cantidad máxima de compuertas que pueden conectarse a la salida de una compuerta del mismo tipo para un margen de ruido dado (especificado).

Ejemplo: En el circuito de la figura 18, los transistores tienen $V_{CE(SAT)} = 0.2$, $\beta_F = 50$ y $\beta_R = 0.1$, $I_S = 10^{-14}$. Determinar la cantidad máxima de compuertas que pueden conectarse a la salida de una compuerta inversora para que la característica de transferencia sea la mostrada en la figura 18.

Si v_i es un nivel bajo, el transistor excitador (driver) estará cortado. El circuito puede ser dibujado como en la figura:

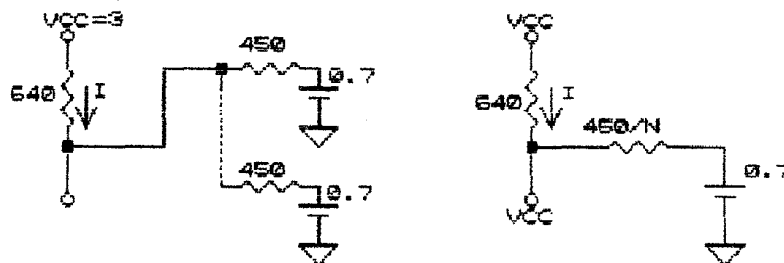


Figura 19. Circuito equivalente, v_i bajo.

El circuito puede ser simplificado como se muestra en la figura 19b. Se tendrá:

$$v_o = 3 - I * 640 = 1 \text{ volt}$$

además:

$$I = \frac{3 - 0.7}{640 + 450/N}$$

Puede despejarse $N = 4.68$. Esto es, para que la tensión de salida en el nivel alto sea de al menos 1 volt, la cantidad de compuertas de carga no deberá exceder 4.

Si v_i es un nivel alto el transistor driver está saturado: el circuito deberá ser capaz de entregar corriente al colector del transistor de salida y a las bases de los transistores de las compuertas de carga. Empleando el valor hallado anteriormente para i_B (del orden de $50 I_S$ o $50 * 10^{-14}$) se tendrá:

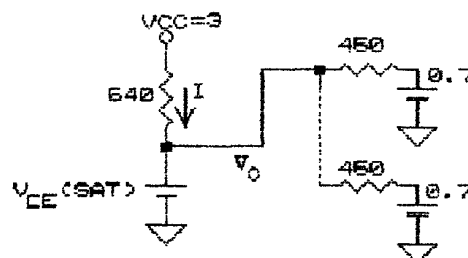


Figura 20. Circuito equivalente, v_i alto.

Se observa que el efecto de la corriente de base puede ser ignorado. En el nivel alto de v_i se puede colocar una cantidad prácticamente limitada de compuertas sin afectar el nivel de salida de la compuerta driver. La cantidad de compuertas que puede colocarse a la salida de la compuerta driver está en este caso limitada a $N=4$ por el comportamiento del circuito en el nivel bajo de la señal de entrada v_i .

Velocidad de respuesta de la familia RTL. Se mide en términos del tiempo de retardo de propagación. Este tiempo está relacionado con la velocidad con que cambia la salida de una compuerta. Para la especificación de los tiempos de retardo de propagación se usan los niveles 50% en la entrada y salida:

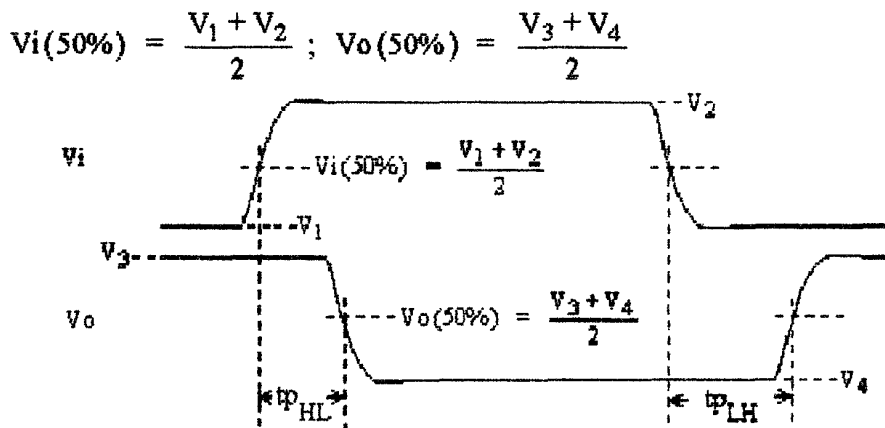


Figura 21. Velocidad de respuesta.

Se especifican dos tiempos de retardo: tp_{LH} que corresponde al tiempo que transcurre entre el instante en que la entrada pasa por el 50% de su excursión y el instante en que la salida, en respuesta a ese cambio en la entrada pasa por el 50% de su excursión de L a H. El retardo tp_{HL} se define de una manera similar.

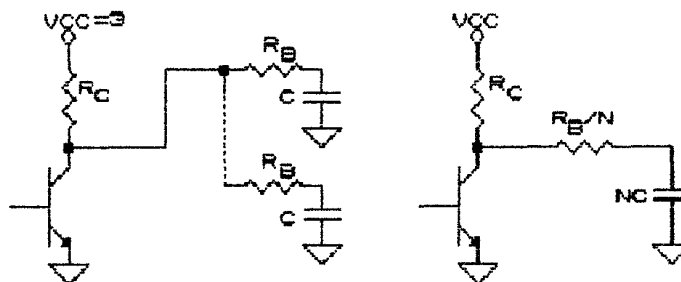


Figura 22. Compuerta RTL con carga capacitiva.

Consideremos una compuerta RTL excitando una carga que incluye el efecto capacitivo presente a la entrada de los transistores de las compuertas conectadas en su salida. Si la compuerta driver, en respuesta a un cambio en su entrada, cambia su salida de bajo a alto, el condensador $N \cdot C$ deberá cargarse hacia V_{CC} a través de R_C y R_B/N . Este cambio (exponencial) es lento.

Por el contrario, en el cambio de alto a bajo de la salida v_O , el capacitor NC debe descargarse exponencialmente hacia $V_{CE(SAT)}$ a través de R_B/N . Este cambio puede ser más rápido que el anterior.

La velocidad de respuesta de la compuerta podrá aumentarse reduciendo las constantes de tiempo de los cambios exponenciales. Esto podría lograrse disminuyendo el valor de las resistencias del circuito. Sin embargo, esto aumentaría la potencia disipada en el circuito.

Producto potencia tiempo de retardo: es el producto de la potencia media disipada en la compuerta por el tiempo de propagación de la compuerta. Este último se toma como el mayor entre t_{PLH} y t_{PHL} . El producto anterior se expresa en Joule.

Familia TTL. Esta familia tiene una estructura orientada a lograr una mayor velocidad con un consumo razonable de potencia. El identificador de la versión comercial original es de la forma 74XXX. Existen otras versiones en las que se optimiza la velocidad, el consumo de potencia o se hace más flexible los niveles de salida. Entre estas versiones están:

74LSXX	Low Power Schottky. Alta velocidad, bajo consumo de potencia.
74SXX	Alta velocidad. Consumo moderado de potencia.
74FXX	Alta velocidad. Bajo consumo.
74LXX	Muy bajo consumo de potencia. En desuso.
74HXX	Alta velocidad. En desuso, reemplazada por 74SXX.

Compuerta TTL Básica. Uno de los problemas de la familia RTL es la lentitud con que se corta el transistor de la compuerta. En la familia TTL se agrega un segundo transistor para acelerar este proceso.

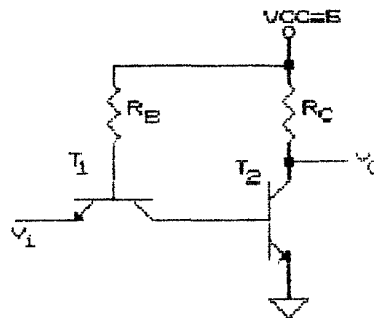


Figura 23. Compuerta TTL. Estructura básica.

Si la tensión de entrada v_i es alta (5 volt), el emisor del transistor de entrada será más positivo que el colector y el transistor T_1 operará en el modo (activo) inverso.

Suponiendo que $V_{BC}(T_1) \approx V_{BE}$, la corriente de base de T_1 tomará el valor:

$$I_{B1} = \frac{V_{CC} - 2V_{BE}}{R_B}$$

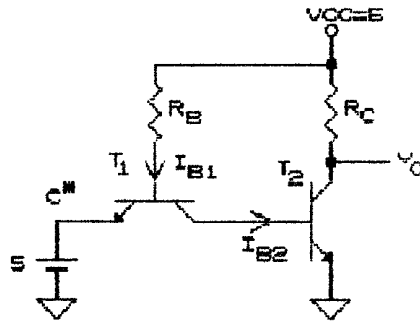


Figura 24. Compuerta TTL básica, v_i alto.

La corriente de base de T_2 es $I_{B2} = (\beta_R + 1) I_{B1}$, suficiente para saturar a T_2 . La corriente de colector del transistor de salida será:

$$I_{C2} = \frac{V_{CC} - V_{CE(SAT)}}{R_C}$$

Esto es, si la tensión de entrada es alta, la tensión de salida será baja, $v_O = V_{CE(SAT)}$.

En cambio, si la tensión de entrada tiene un nivel bajo (0 volt), el transistor de entrada opera en modo normal:

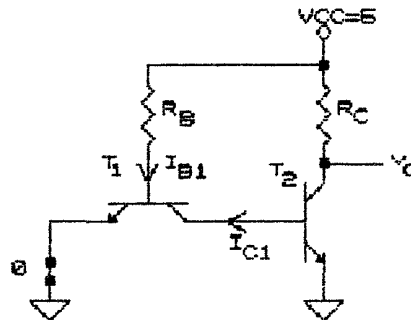


Figura 25. Compuerta TTL básica, v_i bajo.

$$I_{B1} = \frac{V_{CC} - V_{BE}}{R_B}$$

T_1 tratará de extraer corriente de la base de T_2 . Así, T_1 estará saturado y T_2 cortado y la tensión de salida sin carga será $v_O = V_{CC}$.

La compuerta anterior se comporta como inversora. Una compuerta más compleja incluye en su entrada un transistor multiemisor permitiendo la conexión de varias señales de entrada:

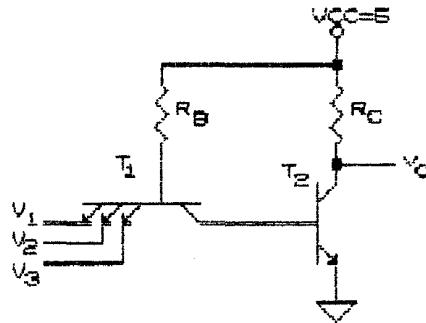


Figura 26. Compuerta básica de varias entradas.

En el circuito anterior si alguna de las entradas (V_1 , V_2 , V_3) tiene un nivel bajo, el transistor T_1 operará en modo normal tratando de extraer corriente de la base de T_2 . Así T_1 operará en saturación y T_2 en corte. Por el contrario, si todas las entradas tienen niveles altos, T_1 operará en modo activo inverso y T_2 se saturará. Esto es:

V_1	V_2	V_3	v_O
L	L	L	H
L	L	H	H
L	H	L	H
L	H	H	H
H	L	L	H
H	L	H	H
H	H	L	H
H	H	H	L

El comportamiento descrito por la tabla anterior corresponde al de una compuerta NO-Y de tres entradas.

Inconvenientes de la compuerta TTL básica: el principal inconveniente de la compuerta básica TTL es que la velocidad de cambio de la tensión de salida desde un nivel alto a un nivel bajo es reducida:

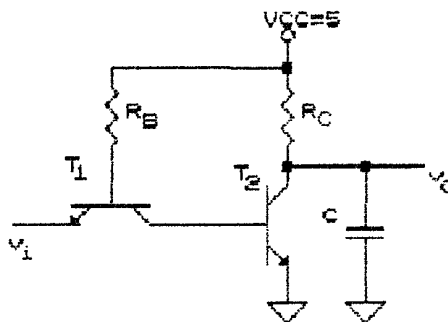


Figura 27. Compuerta TTL básica con carga capacitiva.

Si la compuerta tiene una carga capacitiva y v_i cambia de H a L, la tensión en C, v_C cambiará desde $V_{CE(SAT)}$ hacia V_{CC} . En este cambio, el transistor de salida estará cortado

(T_2 se corta muy rápidamente comparado con el tiempo que C tarde en acercarse a su valor final). El cambio exponencial con una constante de tiempo $R_C \cdot C$.

Si v_i varía desde un nivel bajo a un nivel alto, el cambio producido en v_C es más rápido aunque ocurre con la misma constante de tiempo. En efecto, como la tensión inicial en el condensador es $v_C = V_{CC} > V_{CE(SAT)}$, el transistor operará inicialmente en la región activa descargando a C hasta que $V_{CE} = v_O$ sea igual a $V_{CE(SAT)}$. El circuito equivalente para este cambio se muestra en la figura.

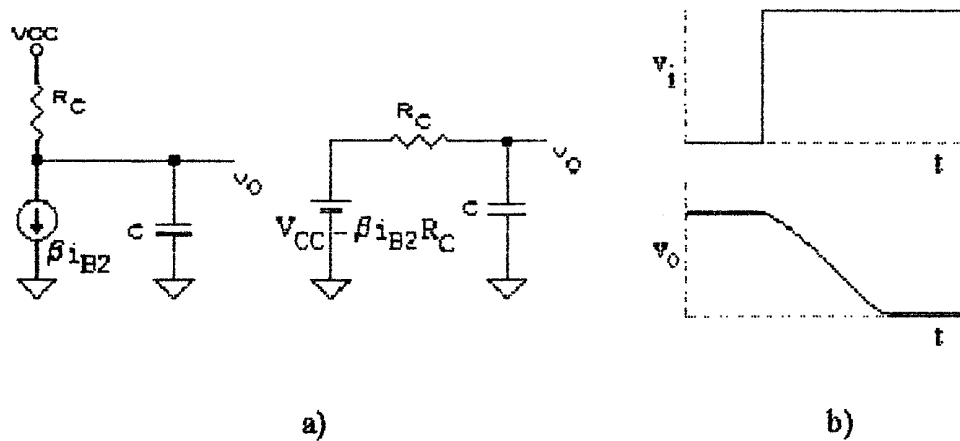


Figura 28. a) Circuitos equivalentes para cambio H a L de v_O ,
b) formas de onda.

Problema: Hallar t_{PHL} y t_{PLH} en la compuerta básica.

La principal limitación de la compuerta TTL básica es su baja velocidad. Particularmente t_{PLH} es demasiado grande.

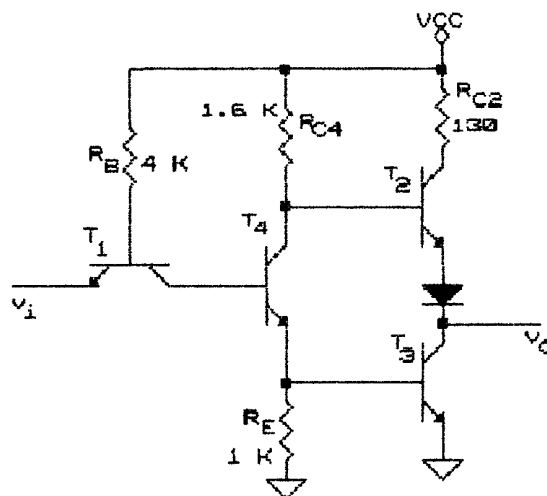


Figura 29. TTL standard (74XX).

Compuerta TTL standard. En la figura se muestra la estructura de una compuerta TTL standard comercial. La compuerta opera con 5 volt y tiene una etapa de entrada es similar a la compuerta básica. En cambio, la etapa de salida está configurada para aumentar la velocidad de descarga en cargas capacitivas y así reducir el valor de t_{pHL} . La estructura de la etapa de salida se llama "totem pole".

Funcionamiento: En este circuito, en el nivel alto de salida conduce T_2 en una configuración de baja impedancia de salida. En el nivel bajo de salida conduce T_3 conectado como emisor común en la misma forma que en la compuerta básica TTL.

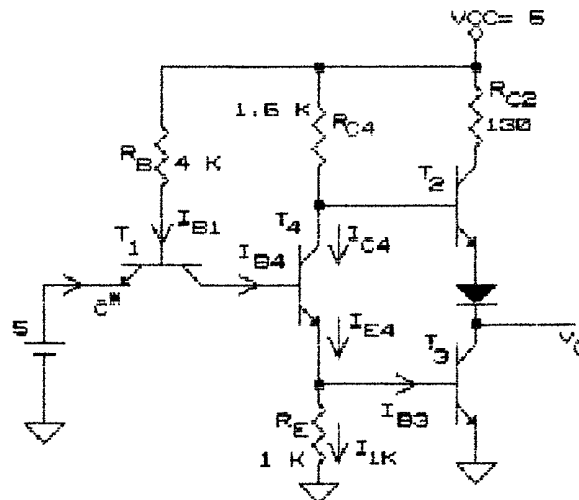


Figura 30 Circuito para $v_i = H$.

Nivel alto de entrada. Si la señal de entrada es un nivel alto (5 volt), el transistor de entrada T_1 operará en modo inverso e inyectará corriente a la base de T_4 . La conducción de este transistor permitirá la conducción de T_2 . Las corrientes y tensiones en el circuito tomarán los siguientes valores:

$$I_{B1} = \frac{V_{CC} - 3V_{BE}}{R_b} = \frac{8 - 3(0.7)}{4 \text{ K}} = 725 \text{ } \mu\text{A}$$

Suponiendo que $\beta_R = 0.02$ la corriente de entrada a la compuerta, I_i , será:

$$I_i = \beta_R * I_{B1} = 0.02 * 725 \text{ } \mu\text{A} = 14.5 \text{ } \mu\text{A}$$

la corriente en la base de T_4 es:

$$I_{B4} = (1 + \beta_R) I_{B1} = (1 + 0.02) 725 \text{ } \mu\text{A} = 740 \text{ } \mu\text{A}$$

Suponiendo una ganancia de corriente $\beta_F = 50$ con esta corriente en la base de T_4 , este transistor deberá operar en saturación forzando el corte de T_2 .

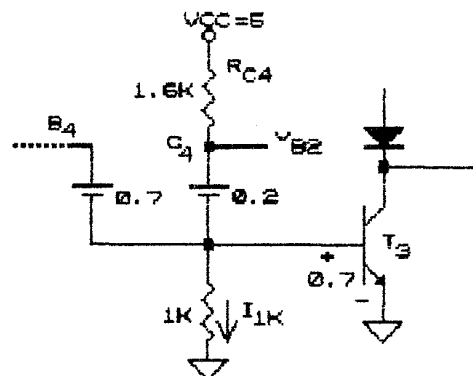


Figura 31. Circuito para T_4 . $v_i = H$.

La tensión en colector de T_4 es:

$$V_{C4} = V_{B2} = V_{B3} + V_{CE4} = 0.7 + 0.2 = 0.9$$

La corriente de colector i_{C4} es:

$$i_{C4} = \frac{V_{CC} - V_{C4}}{R_{C4}} = \frac{5 - 0.9}{1.6 \text{ K}} = 2.56 \text{ mA}$$

Se observa que $i_{C4} < \beta_F \cdot i_{B4}$. Esto es, T_4 está realmente saturado.

Además:

$$i_{E4} = i_{C4} + i_{B4} = 740 \text{ uA} + 2.56 \text{ mA} = 3.30 \text{ mA}$$

además:

$$i_{E4} = i_{B3} + i_{1K} = i_{B3} + \frac{0.7 \text{ V}}{1 \text{ K}}$$

Puede despejarse $i_{B3} = 2.6 \text{ mA}$.

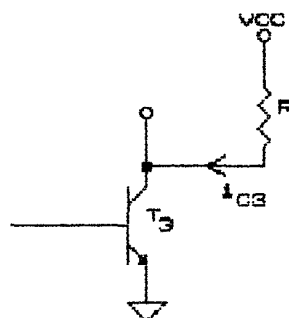


Figura 32. Etapa de salida, $v_i = H$.

La corriente de salida, i_{C3} , está determinada por la carga conectada a la salida de la compuerta o, en su ausencia por el valor de corriente de emisor de T_2 que está polarizado

inversamente. Podemos suponer que T_3 opera en saturación pues, en esta situación, la máxima corriente de salida permitida por el fabricante es 16 mA, menor que $\beta_F \cdot i_{B3} = 130 \text{ mA}$.

Así, de acuerdo a lo anterior, cuando $v_i = H$, T_3 estará saturado y la tensión en emisor de T_2 , si este transistor condujera, sería de 0.9 volt. Sin embargo, la tensión en la base de T_2 es apenas 0.9 volt, insuficiente para la conducción de T_2 y el diodo.

Observación. Si la entrada de la compuerta se deja desconectada, la misma se comportará como si tuviera aplicado un nivel alto en su entrada. Sin embargo, en aplicaciones reales no es aconsejable dejar entradas de dispositivos TTL desconectadas si se desea niveles altos en las mismas pues estas entradas son muy susceptibles a captar ruido eléctrico.

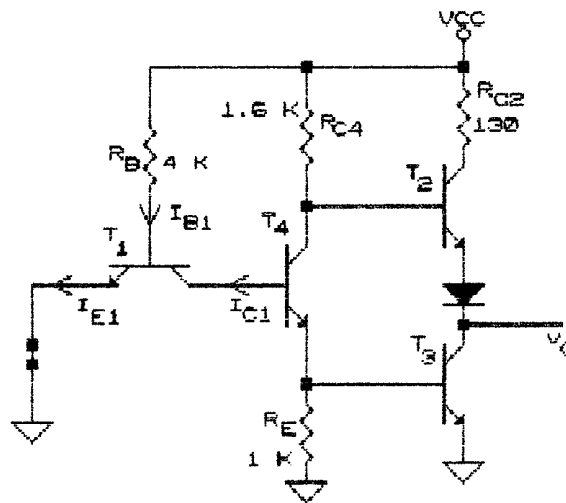


Figura 33. Circuito equivalente, $v_i = L$.

Nivel bajo de entrada. Consideremos ahora $v_i = 0$. El transistor de entrada T_1 operará en modo normal.

La corriente de base en T_1 será:

$$I_{B1} = \frac{V_{CC} - V_{BE}}{R_B} = \frac{5 - 0.7}{4 \text{ K}} = 1.08 \text{ mA}$$

La corriente de colector de T_1 será $i_{C1} = 0$ (no puede salir corriente de la base del transistor T_4). Al no haber corriente en la base de T_4 este transistor estará cortado por lo que tampoco T_3 recibirá corriente en su base y también estará cortado.

El circuito de salida, mostrado en la siguiente figura, incluye a T_2 y a la carga.

Si la corriente en la carga, $i_L = i_{E2}$, es pequeña se tendrá:

$$v_{B2} = v_{C2} = 5 \text{ volt}$$

En estas condiciones T_2 operará en región activa pues:

$$v_{CE2} = v_{C2} - v_{E2} = 5 - (5 - 0.7) = 0.7 \text{ volt} > 0.3 \text{ volt}$$

Si i_L aumenta, T_2 se acercará a saturación cuando la caída en la resistencia de 130 Ω se haga tan grande como para llevar v_{CE} a la vecindades de 0.2 volt. En el borde de saturación:

$$V_{CE} = 0.2 = V_{C2} - V_{E2}$$

$$0.2 = \left(5 - \frac{\beta \cdot i_L}{\beta + 1} \cdot 130\right) - (5 - 0.7 - 1.6 \text{ K} \cdot \frac{i_L}{\beta + 1})$$

De esta ecuación puede despejarse $i_L = 4 \text{ mA}$. Si la carga toma una corriente por encima de este valor, el transistor T_2 estará saturado.

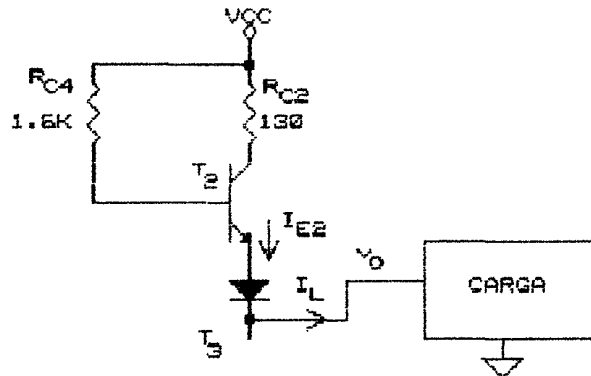


Figura 34. Etapa de salida, $v_i = L$.

Función de la resistencia en colector de T_2 . En el nivel bajo de salida conduce T_3 . Si la señal de entrada cambia en forma tal que v_O pase al nivel alto, T_3 debe cortarse y T_2 entrar en conducción en forma simultánea. Sin embargo, en la práctica T_2 entra en conducción antes de que T_3 se corte y el circuito queda:

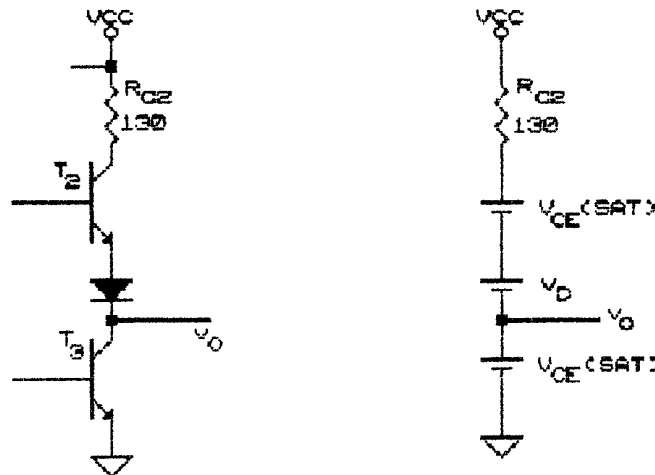


Figura 35. Circuito de salida, transición L a H de v_O .

En este proceso, que tiene una duración muy breve, la corriente a través de T_2 y T_3 puede tomar un valor de:

$$I = \frac{V_{CC} - V_D - 2V_{CE(SAT)}}{R_c} = \frac{5 - 0.7 - 2(0.2)}{130}$$

Los pulsos angostos de corriente que ocurren durante el cambio de bajo a alto de la salida, combinados con la inductancia del circuito pueden causar perturbaciones de importancia en la línea de alimentación. Para reducir el tamaño de estas perturbaciones se suele colocar un condensador ($0.1\mu\text{F}$) ubicado físicamente muy próximo a los terminales de alimentación del circuito integrado.

Función de Transferencia de una Compuerta TTL (inversora): la forma de variación de v_o con v_i en una compuerta TTL standard se muestra en la figura.

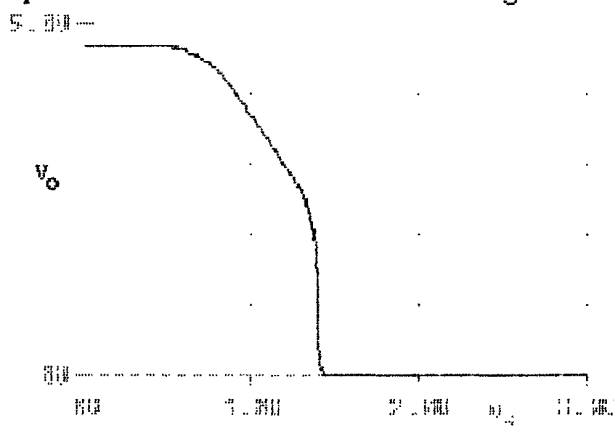


Figura 36. Característica de transferencia.

En la zona con mayor pendiente negativa, la compuerta presenta una ganancia de tensión y puede operar como amplificador. De hecho, otras compuertas polarizadas en esa zona pueden ser usadas para implementar osciladores.

Especificaciones del fabricante: El fabricante publica en hojas de datos las especificaciones eléctricas para cada compuerta.

Corriente en las entradas de la compuerta. En la descripción eléctrica de los dispositivos electrónicos se usa, por lo general, la conversión de cuadripolos. De este modo, una corriente que entra a una compuerta es positiva y una que sale de la misma es negativa. Los fabricantes dan los siguientes valores para las corrientes de entrada en una compuerta TTL.

Nivel alto de entrada: $v_i = V_{IH}$. Con este nivel en la entrada de la compuerta, la corriente en la entrada será $I_{IH} = 40\ \mu\text{A}$ ($V_{IH} = 2.4\ \text{volt}$).

Nivel bajo de entrada: $v_i = V_{IL}$. En este caso, la corriente sale de la compuerta y tiene un valor de $I_{IL} = -1.6\ \text{mA}$ ($v_{IL} = 0.4\ \text{volt}$).

Capacidad de corriente en la salida:

$$I_{OH} = -400\ \mu\text{A}$$

$$I_{OL} = 16\ \text{mA}$$

Tensiones de entrada y salida:

$$V_{IH} = 2\ \text{volt (mín)}$$

$$V_{IL} = 0.8\ \text{volt (máx)}$$

$$V_{OH} = 2.4 \text{ volt (mín) a } I_{OH}(\text{máx}).$$

$$V_{OL} = 0.4 \text{ volt (máx) a } I_{OL}(\text{máx})$$

En una aplicación, las tensiones y corrientes anteriores deben ser suministrados por el circuito que excite la entrada de la compuerta. Por ejemplo, en el nivel alto, el circuito excitador debe ser capaz de entregar una tensión superior a la mínima tensión que será entendida correctamente por la compuerta de carga como un nivel alto y deberá poseer una capacidad de corriente suficiente para proporcionar la corriente que tomará la corriente de carga con un nivel alto de entrada.

Ejemplo. En el circuito de la figura se ha colocado una red pasobajos entre la compuerta de la izquierda y la compuerta de la derecha con el propósito de retrasar ligeramente los cambios que ocurran en la salida de la primera compuerta. El valor de la resistencia R de la red afecta los niveles de tensión en la entrada de la compuerta de la derecha:

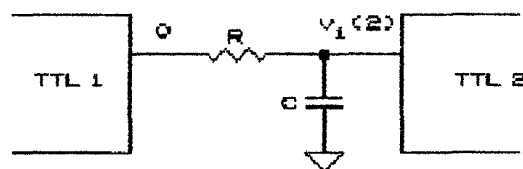


Figura 37. Acoplamiento TTL con red de retraso.

Niveles de entrada a la segunda compuerta:

Nivel alto:

$$V_{iH}(2) = V_{OH}(1) - 40\mu\text{A} \times R$$

Nivel bajo:

$$V_{iL}(2) = V_{OH}(1) + 1.6 \text{ mA} \times R$$

Si $R = 150\Omega$, se tendrá:

$$V_{iH}(2) = 2.4 - 150 \times 40 \times 10^{-6} = 2.394 \text{ volt}$$

$$V_{iL}(2) = 0.4 + 150 \times 1.6 \times 10^{-3} = 0.64 \text{ volt}$$

Se observa que el margen de ruido es ahora de 0.16 volt. Si R es excesivamente grande, la caída producida en R por la corriente de entrada de la compuerta de carga puede llevar, en el nivel bajo de $v_O(1)$, a la tensión $v_i(2)$ por encima de 0.8 volt y la compuerta de la derecha operará en forma impredecible.

Margen de ruido: para una compuerta TTL cargada por diez compuertas similares los niveles de salida especificados por el fabricante son:

$$V_{OH} = 2.4 \text{ volt}$$

$$V_{OL} = 0.4 \text{ volt}$$

Los niveles de entrada especificados son:

$$V_{IH} = 2.0 \text{ volt}$$

$$V_{IL} = 0.8 \text{ volt}$$

Con los valores anteriores los márgenes de ruido serán:

$$\Delta H = V_{OH} - V_{IH} = 2.4 - 2.0 = 0.4 \text{ volt}$$

$$\Delta L = V_{IL} - V_{OL} = 0.8 - 0.4 = 0.4 \text{ volt}$$

El margen de ruido de la compuerta es el menor entre ΔL y ΔH . Esto es, para esta compuerta TTL el margen de ruido es 0.4 volt.

Si el ruido inducido en la conexión entre la salida de una compuerta y la entrada de otra similar excede el margen de ruido calculado anteriormente la compuerta de carga puede operar en la región de transición y producir una señal de salida ambigua.

Retardo de propagación: En la familia TTL se mide en los niveles 1.5 volt de las transiciones de salida y entrada:

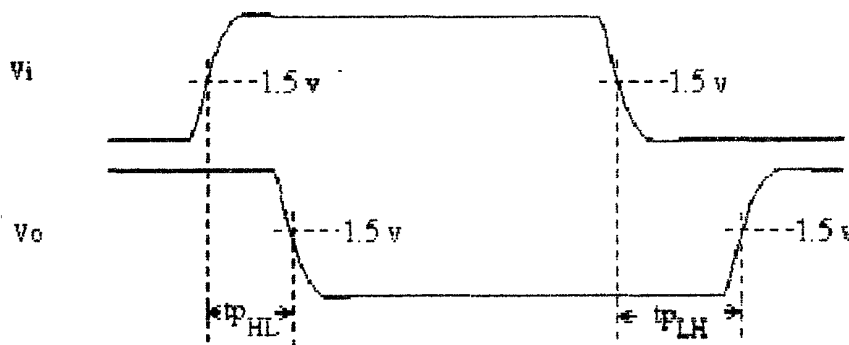


Figura 38. Retardo de propagación.

Se define tiempo de propagación, t_p , al mayor entre los tiempos t_{pLH} y t_{pHL} definidos en la figura anterior. En la familia TTL standard un valor típico para t_p es 18 ns.

Consumo de potencia: La potencia P entregada desde la fuente de alimentación depende de la señal salida. Los valores típicos son:

$$P_{V_o=H} = 5 \text{ mW}$$

$$P_{V_o=L} = 16.7 \text{ mW}$$

Si la señal de entrada es una onda cuadrada la potencia media entregada por la fuente a la compuerta es de 11 mW

Producto retardo x consumo de potencia: Este parámetro es de gran importancia. Una forma de lograr un aumento en la velocidad de respuesta de una compuerta es mediante una disminución del valor de sus resistencias internas. Sin embargo, esto aumenta la disipación de potencia en la compuerta. El producto retardo x consumo de potencia se usa para comparar familias lógicas.

$$W = P(\text{media}) \times t_p = 11 \text{ mW} \times 18 \text{ ns} = 200 \text{ pJ.}$$

Familia TTL de alta velocidad. Una variante de la familia TTL es la familia TTL de alta velocidad en la que, además de utilizar resistencias de bajo valor, se utilizan transistores adicionales para aumentar la velocidad de respuesta. En la siguiente figura se muestra una compuerta TTL tipo NO-Y (NAND) de dos entradas y alta velocidad.

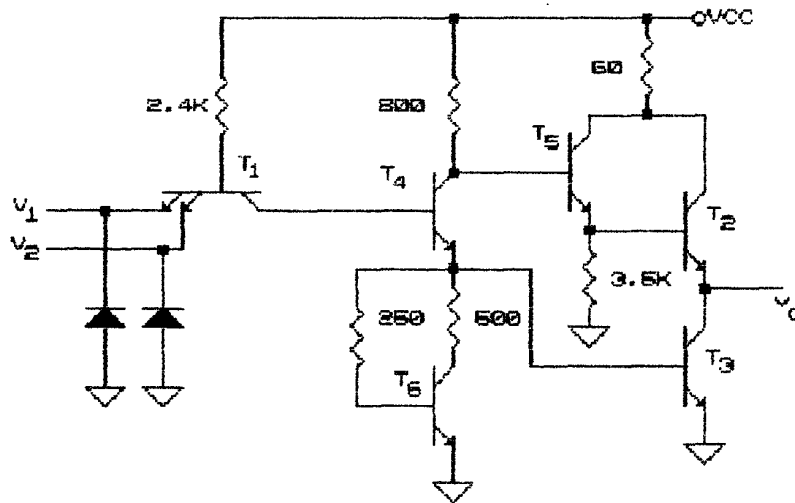


Figura 39. Compuerta TTL de alta velocidad.

En esta estructura los diodos D_1 y D_2 impiden que las entradas tomen valores más negativos que -0.7 volt. Esto evita que el transistor de entrada se sature muy profundamente lo que haría su respuesta más lenta.

La pareja $T_5 - T_2$ tiene una mayor capacidad de corriente de salida en el nivel alto que la estructura tradicional. Por su parte, T_6 aumenta la velocidad con que se descarga la capacidad de entrada de T_3 permitiendo una entrada en corte más rápida a este transistor.

Familia TTL Schottky. Un transistor tiene una velocidad de respuesta más elevada al operar en región activa que en saturación. Un transistor tipo Schottky incluye un diodo Schottky entre colector y base. Durante la conducción del transistor, el diodo desvía corriente desde el circuito de base hacia el colector de forma tal que el transistor está imposibilitado de entrar en saturación.

El diodo Schottky tiene una caída en conducción de 0.2 a 0.3 volt. Es capaz de operar a alta velocidad. Su símbolo es:

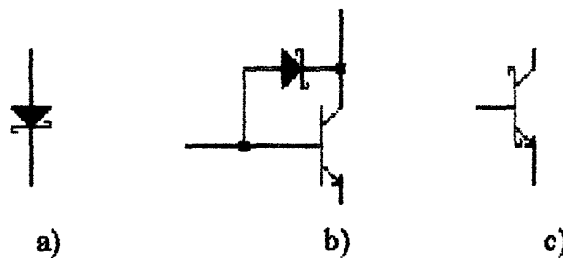


Figura 40. Diodo Schottky. a) Símbolo, b) transistor y diodo Schottky, c) transistor Schottky.

Ejemplo: En el circuito de la figura el transistor tiene $\beta = 100$. Hallar i_C si el diodo Schottky tiene una caída en conducción de 0.3 volt y $v_{BE} = 0.7$ volt.

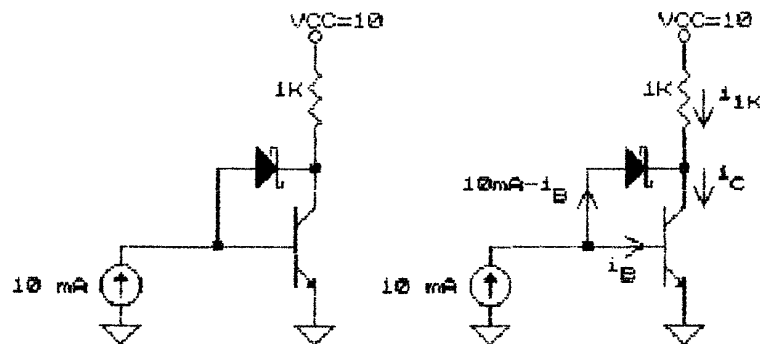


Figura 41. a) Circuito, b) corrientes y tensiones.

Si el diodo Schottky no estuviera presente el transistor estaría saturado y se tendría:

$$v_{BE}=0.7, v_{CE}=V_{CE(SAT)}=0.3, v_{BC}=0.4$$

$$i_C=9.8 \text{ mA} < \beta * i_B=100 * 10 \text{ mA}$$

Al colocar el diodo Schottky éste conducirá pues tiene $V_D=0.3$ y se dispone entre base y colector de 0.4 volt. Su conducción fijará una tensión v_{CE} de $0.7-0.3=0.4$ volt. Con esta tensión el transistor operará en región activa.

La distribución de corrientes se muestra en la figura 41b.

$$i_C=i_{1K} + (10 \text{ mA} - i_B)$$

$$\text{acá: } i_{1K} = \frac{10 - 0.4}{1K} = i_C$$

El transistor opera en región activa:

$$i_C = \beta * i_B$$

resolviendo las ecuaciones anteriores se halla $i_B=194 \text{ uA}$, $i_C=19.4 \text{ mA}$. La casi totalidad de la corriente circula por el diodo Schottky.

Es fácil comprobar que, si la corriente I hubiera sido de 10 uA el diodo habría quedado polarizado inversamente y no produciría ningún efecto en el circuito.

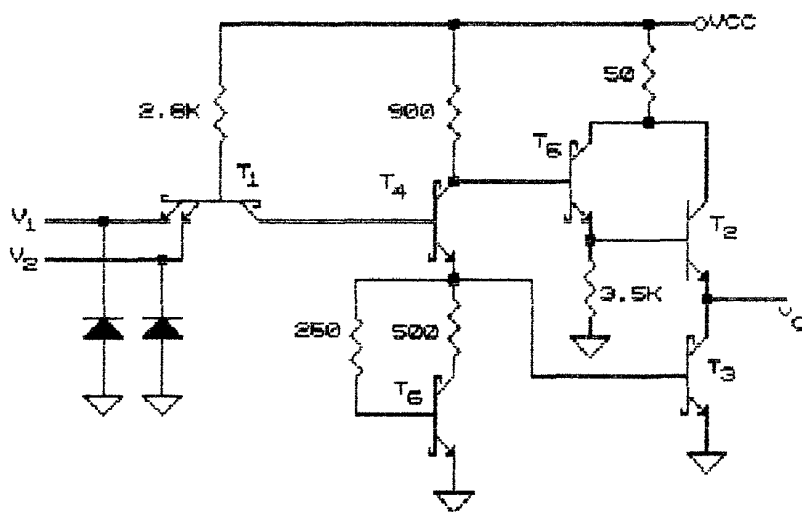


Figura 42. Estructura de una compuerta TTL tipo Schottky.

Compuerta NO-Y tipo Schottky 74SXX. En la figura 42 se muestra una compuerta TTL tipo Schottky. En este tipo de compuertas los transistores operan en corte y región activa lo que permite obtener una mayor velocidad de respuesta. En esta compuerta todos los transistores son tipo Schottky salvo T_2 pues, en su caso, el circuito externo impide que éste se sature.

Compuertas tipo Low Power Schottky (74LSXX). Este tipo de compuertas es ampliamente usada. Tienen una estructura similar a las compuertas tipo Schottky utiliza resistencias de valores más elevados lo que permite disminuir los niveles de corriente y, con éstos, la potencia disipada.

Corriente en las entradas de la compuerta. Los fabricantes dan los siguientes valores para las corrientes de entrada en una compuerta TTL tipo LS.

Nivel alto de entrada: $v_i = V_{IH}$. Con este nivel en la entrada de la compuerta, la corriente en la entrada será $I_{IH} = 20 \mu A$ ($V_{IH} = 2.7$ volt).

Nivel bajo de entrada: $v_i = V_{IL}$. En este caso, la corriente sale de la compuerta y tiene un valor de $I_{IL} = -0.36$ mA ($v_{IL} = 0.4$ volt).

Capacidad de corriente en la salida:

$$I_{OH} = -400 \mu A$$

$$I_{OL} = 8 \text{ mA}$$

Tensiones de entrada y salida:

$$V_{IH} = 2 \text{ volt (mín)}$$

$$V_{IL} = 0.8 \text{ volt (máx)}$$

$$V_{OH} = 2.7 \text{ volt (mín) a } I_{OH}(\text{máx}).$$

$$V_{OL} = 0.5 \text{ volt (máx) a } I_{OL}(\text{máx}).$$

Se observa que el margen de ruido de estas compuertas es ligeramente menor que en una compuerta TTL convencional.

Compuertas con tercer estado.

Necesidad de tercer estado. En la figura se muestra la conexión de diversos dispositivos a una línea compartida de datos.

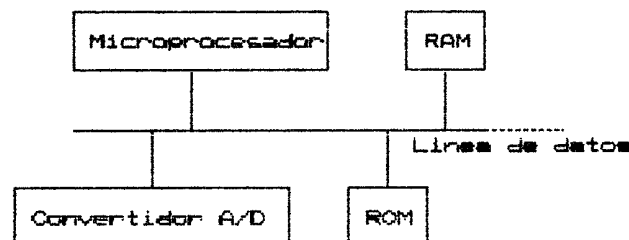


Figura 43. Línea de datos compartida por varios dispositivos.

producirá el corte de los transistores T_4 y T_3 . Por su parte, el transistor T_3 estará saturado provocando el corte de T_6 y la saturación de T_7 .

La tensión en base de T_2 será $V_B(T_2) = 0.9$ volt. Esta tensión no es suficiente para polarizar en forma directa a T_2 y al diodo D por lo que éstos estarán en corte y la parte superior del circuito de salida se comportará como un circuito abierto. Esto es, tanto T_2 como T_3 estarán cortados (salida en estado de baja impedancia).

Compuertas TTL colector abierto. Entre los miembros de las diversas subfamilias lógicas TTL se incluyen compuertas con salida colector abierto. Estas tienen su etapa de salida dispuesta en la siguiente forma:

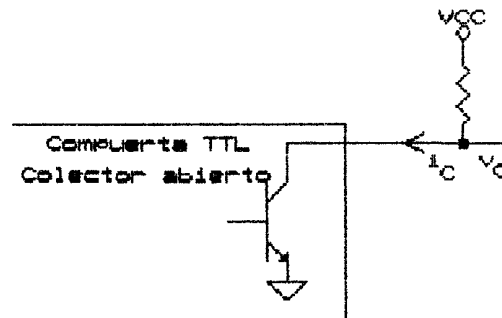


Figura 46. Etapa de salida de compuerta TTL de colector abierto.

Si las señales aplicadas a la entrada de la compuerta son tales que el nivel de salida sea un bajo entonces el transistor interno de salida recibirá una corriente de base, $I_B > 0$. La resistencia de carga R_L deberá estar dimensionada en forma tal que la corriente i_C de dicho transistor no exceda un cierto valor máximo especificado por el fabricante. Si se respeta esta restricción el transistor de salida operará en saturación y el nivel bajo de salida tendrá un valor de $v_{CE(SAT)} = 0.2$ volt.

En la situación opuesta (salida alta), i_B valdrá cero y el transistor de salida estará cortado. Así, la tensión de salida será $v_O = V_{CC1}$. El valor máximo de V_{CC1} va de 5 volt en algunas compuertas a 30 volt en otras. La máxima corriente de colector puede llegar a 30 mA en algunas compuertas.

Conexiones frecuentes: a continuación se presentan algunas conexiones frecuentes de compuertas tipo TTL.

Tipo colector abierto. La corriente de salida en el nivel bajo no debe exceder el valor especificado por el fabricante

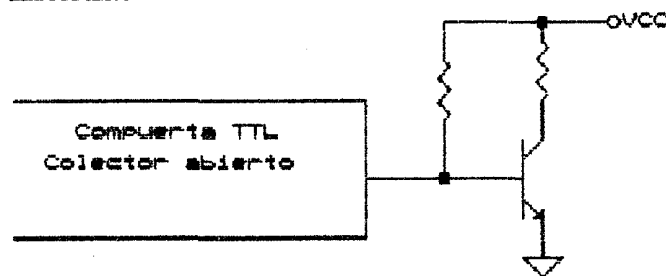


Figura 47. Conexión compuerta tipo colector abierto a transistor externo.

En esta conexión el nivel alto de salida se reducirá a 0.7 volt. El nivel bajo seguirá siendo, aproximadamente, $V_{CE(SAT)} = 0.2$ volt. Esta conexión no es válida en situaciones en que la señal de salida de la compuerta deba conectarse a otras compuertas.

Conexión de compuerta con salida tipo totem pole a transistor. Debe incluirse R_B para limitar la corriente de salida a un valor seguro en el nivel alto de salida.

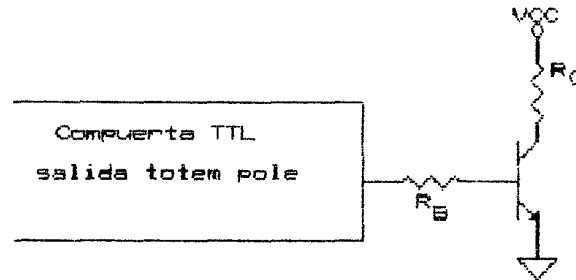


Figura 48. Conexión compuerta tipo totem pole a transistor.

Conexión compuerta con salida tipo totem pole a transistor y otras compuertas. La resistencia R_B debe tener un valor suficientemente elevado para impedir que el nivel alto de salida caiga por debajo de V_{IH} de la compuerta de carga.

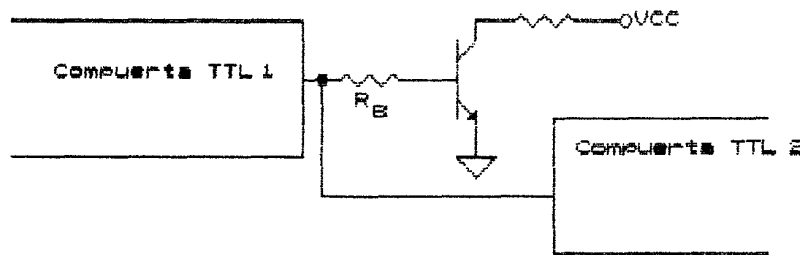


Figura 49. Conexión compuerta tipo totem pole a transistor y otras compuertas.

Familia CMOS. Las compuertas de esta familia, más lenta que la familia TTL, se caracterizan por consumir una potencia muy baja de la fuente de alimentación pudiendo operar con un rango muy amplio de tensiones de polarización.

En la figura se muestra un inversor tipo CMOS. El inversor está formado por un transistor MOS canal N y otro canal P.

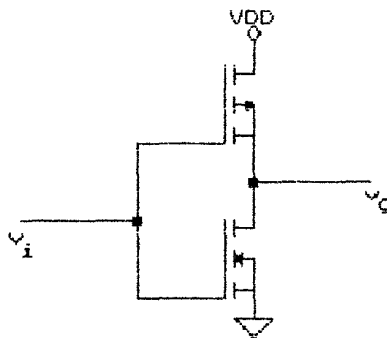


Figura 50. Compuerta inversora tipo CMOS.

Esta familia tiene una ventaja importante respecto a la familia TTL. La entrada de una compuerta de la familia CMOS prácticamente no toma corriente en condiciones de régimen permanente. La corriente en la entrada es de cierta importancia únicamente cuando existe un cambio en la entrada. Esta corriente permite reacomodar la carga en las capacitancias de entrada de los transistores de modo que estos operen en la región determinada por la nueva señal de entrada.

Característica de transferencia. En conducción un transistor MOS canal N puede operar en:

a) Región de saturación. En esta región la corriente está dada por:

$$i_D = \frac{\beta}{2} * (v_{GS} - V_T)^2, v_{DG} > -V_T$$

b) Región Triódica: en esta zona la corriente está dada por:

$$i_D = \beta * ((v_{GS} - V_T) v_{DS} - \frac{v_{DS}^2}{2})$$

Suponiendo que ambos FETs tienen idénticos parámetros y que la fuente de polarización, $V_{DD} > 2V_T$, la característica de transferencia v_O vs v_i resulta:



Figura 51. Característica de transferencia de compuerta inversora tipo A.

Identificación de compuertas CMOS. Las compuertas de esta familia se identifican con las numeraciones 40XX y 45XX. Además, se fabrican compuertas CMOS identificados con los números 74CXX. Estas últimas tienen la misma función y conexiones que la compuerta correspondiente de la familia 74XX pero sus características eléctricas corresponden a las de una compuerta CMOS.

Las compuertas identificadas con las numeraciones 40XX y 45XX incluyen dos tipos de dispositivos que se distinguen con letras A y B. Los niveles de entrada y salida para estos dispositivos son:

Serie tipo A. Tiene los siguientes niveles de salida:

$$V_{OH} = 0.9 * V_{DD}$$

$$V_{OL} = 0.1 * V_{DD}$$

Los niveles de entrada especificados por el fabricante dependen también de la tensión de polarización:

V_{DD}	5	10	15
V_{IL}	1	2	2.5
V_{IH}	4	8	12.5

Márgenes de ruido. Se calculan del modo convencional. Por ejemplo, si la tensión de alimentación es $V_{DD} = 15$ se tendrá:

$$\Delta 1 = V_{OH} - V_{IH} = 13.5 - 12.5 = 1 \text{ volt}$$

$$\Delta 0 = V_{IL} - V_{OL} = 2.5 - 1.5 = 1 \text{ volt}$$

Así, el margen de ruido es 1 volt para $V_{DD} = 15$ volt

Subfamilia tipo B (Buffered). Este tipo de compuertas son más fáciles de conseguir en el mercado local. Su característica de transferencia se muestra en la siguiente figura.

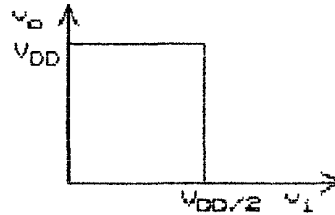


Figura 52. Característica de transferencia de compuerta inversora CMOS tipo B.

Se observa que la zona de transición es mucho más abrupta que en la subfamilia tipo A. En esta familia, los niveles lógicos de entrada :

V_{DD}	5	10	15
V_{IL}	1.5	3	4
V_{IH}	3.5	7	11

Otras características:

Corrientes: Si el dispositivo CMOS se polariza con 5 volt, los valores de las corrientes especificados a una temperatura de 25°C son:

Corriente en las entradas:

$$I_{IH} = +0.1 \text{ uA}$$

$$I_{IL} = -0.1 \text{ uA}$$

Capacidad de corriente en la salida

$$I_{OH} = -1 \text{ mA a } v_o = 4.6 \text{ volt}$$

$$I_{OL} = +1 \text{ mA a } v_o = 0.4 \text{ volt}$$

Tiempo de retardo: Expresa la diferencia en tiempo transcurrido entre el instante en que la señal de entrada pase por el valor promedio entre el nivel alto y el nivel bajo y el instante en que la señal de salida pasa por su valor promedio.

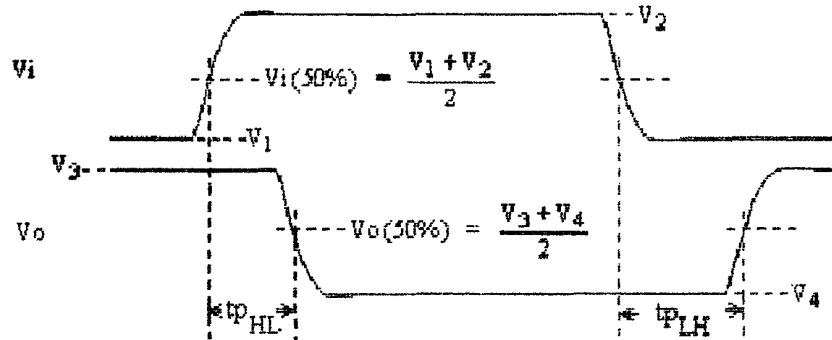


Figura 53. Tiempo de retardo.

En la familia CMOS, el tiempo de retardo depende del valor de la capacitancia de carga.

$$t_{pLH} = t_{pHL} = 22 \text{ ns} + \frac{0.66 \text{ ns}}{\text{pF}} * C_L$$

La estructura de la compuerta tiene cierta simetría. Esto produce tiempos de retardo prácticamente iguales.

Consumo de potencia. De acuerdo al fabricante, para una onda cuadrada de salida de frecuencia f , la corriente que la compuerta toma de la fuente de poder es:

$$I_{VDD} = \frac{0.6 \text{ uA}}{\text{KHZ}} * f, \text{ donde } f \text{ es la frecuencia en KHZ}$$

La potencia consumida por la compuerta está dada por:

$$P = V_{DD} * I_{VDD}$$

Ejemplos de interconexión. Frecuentemente es necesario conectar la señal de salida de una familia lógica a una o varias compuertas de otra familia lógica. A continuación se describe la forma de efectuar esta conexión.

Interfaz entre TTL y CMOS. En la figura siguiente se muestra una conexión de un dispositivo TTL con un dispositivo CMOS, ambos polarizados con 5 volt.

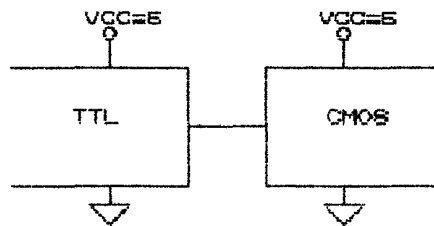


Figura 54. Conexión TTL a CMOS.

La conexión funcionará si se cumplen las siguientes relaciones:

Corrientes:

$$|I_{OL}(TTL)| > |I_{IL}(CMOS)|$$

la capacidad de absorber corriente de la salida de la compuerta TTL en el nivel bajo debe ser mayor que la corriente que en este nivel entregará la entrada de la compuerta CMOS.

$$|I_{OH}(TTL)| > |I_{IH}(CMOS)|$$

esto es, la capacidad de entregar corriente de la salida de la compuerta TTL en el nivel alto debe ser superior a la corriente que tomará la entrada de la compuerta de CMOS.

Tensiones:

$$V_{OL}(TTL) > V_{IL}(CMOS)$$

$$V_{OH}(TTL) > V_{IH}(CMOS)$$

Es fácil verificar que las tres primeras desigualdades se cumplen. Sin embargo, la conexión no funcionará correctamente pues la última desigualdad no se verifica. El nivel alto que produce una compuerta TTL (alrededor de 3.5 volt con corrientes pequeñas) en la salida no

tiene una amplitud suficiente para excitar a una compuerta CMOS que requiere alrededor de 4 volt.

Una solución simple consiste en colocar una resistencia, llamada de pull up, desde la salida de la compuerta TTL y la fuente de polarización, como se muestra en la figura siguiente 55a.

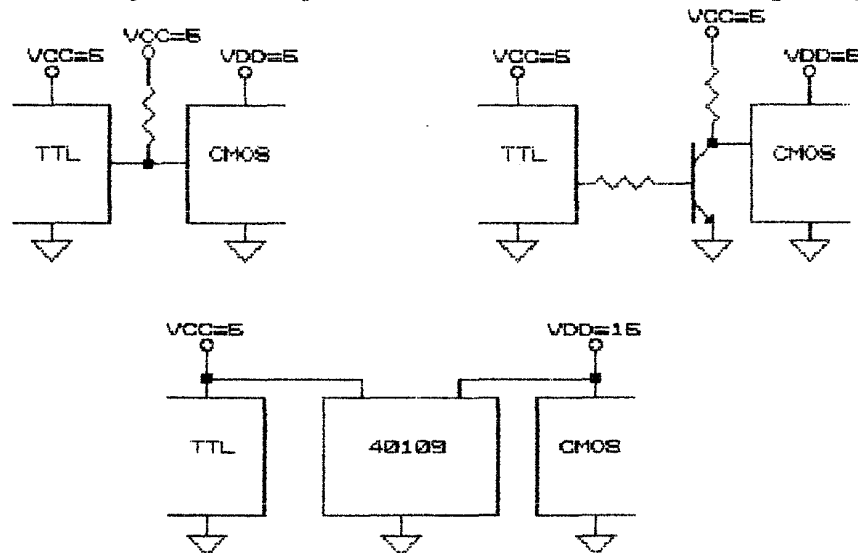


Figura 55. Conexión TTL CMOS: a) con resistencia de pull up, b) con transistor, c) mediante driver CMOS.

La resistencia de 10 K permite elevar el nivel alto a cerca de 5 volt. La caída producida por la corriente de entrada de la compuerta puede ser ignorada.

En la figura 55b se usa un transistor para trasladar los niveles de salida de la compuerta TTL a una compuerta CMOS polarizada con 15 volt. En la figura 55c la translación de nivel se realiza mediante una compuerta CMOS especialmente diseñada para cumplir con esa función.

Interfaz entre CMOS y TTL. El análisis de esta interconexión se debe realizar un procedimiento similar al descrito anteriormente. Este análisis indica que una conexión directa entre un dispositivo CMOS y uno de la familia TTL standard no funciona correctamente. Sin embargo, una compuerta CMOS polarizada con 5 volt es capaz de excitar directamente dos compuertas 74LSXX o una compuerta 74LXX. En el caso de compuertas TTL standard, debe emplearse uno de los esquemas mostrados en la figura 56.

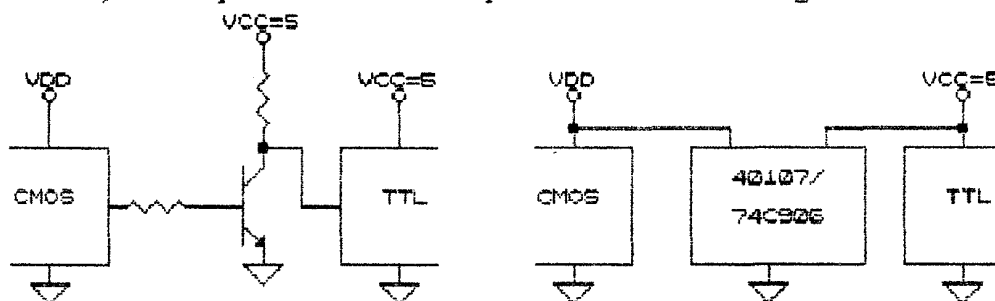


Figura 56. Conexión CMOS a TTL.

TEMA V

INTERFACES ANALOGICAS-DIGITALES

Introducción. El desarrollo de la tecnología ha permitido disponer de diversos transductores capaces de transformar variables naturales continuas tales como presión, temperatura, iluminación, desplazamiento, etc., en señales eléctricas, más fáciles de manipular. Por lo general, en una aplicación, estas señales son procesadas para producir efectos deseables: transmitir información, mantener en un ambiente la temperatura constante, producir riego artificial cuando el nivel de precipitaciones es bajo, A pesar de la naturaleza continua de las señales originales resulta ventajoso digitalizar estas señales (conversión analógica a digital), procesarlas y, finalmente, realizar una transformación inversa (conversión digital a analógica) para regresar al mundo continuo. Esta forma de manipular las señales resulta conveniente pues el procesamiento de señales en forma digital ofrece ventajas importantes respecto al procesamiento analógico de las mismas.

Conversión Digital/Analógica. En un proceso de conversión D/A, una palabra digital X (n bits) se transforma, mediante un dispositivo llamado convertidor D/A, en una señal analógica v_o .

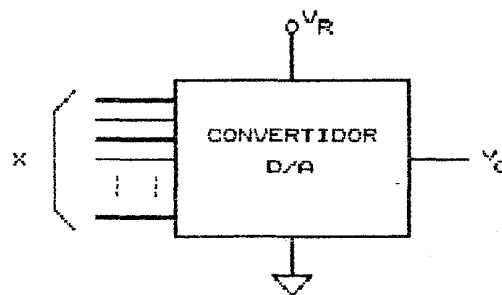


Figura 1. Conversión digital/analógica.

El diagrama esquemático de un proceso de conversión D/A se muestra en la figura 1.

Convertidor D/A básico (código binario). Una forma simple de implementar un convertidor D/A se muestra en la figura 2. Se observa que $X = \{a_n, a_{n-1}, a_{n-2}, \dots, a_1\}$ es una palabra digital de entrada de n bits en la que el bit más significativo es a_n . La conmutación de los switches ocurre en la siguiente forma:

$a_j = 0$: switch S_j abierto

$a_j = 1$: switch S_j cerrado

La resistencia asociada a la rama j es $2^{n+1-j} R$.

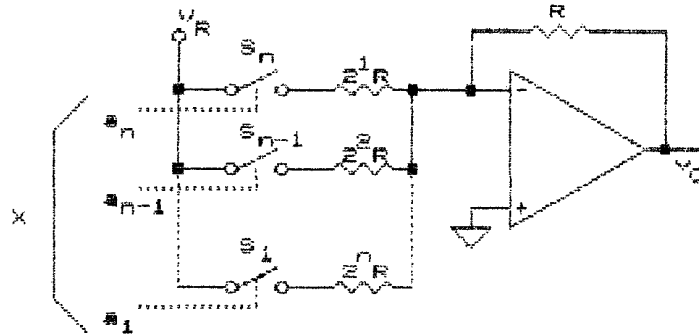


Figura 2. Conversor D/A básico.

En un convertidor D/A integrado, la red de switches y resistencias está contenida en el circuito integrado. En un montaje con elementos discretos, los switches S_j se implementan mediante switches electrónicos.

El circuito se comporta como un amplificador sumador convencional. La tensión de salida depende de la cantidad de switches cerrados. Si solamente el switch S_j está cerrado, la tensión de salida será:

$$V_{Oj} = \frac{-R}{2^{n+1-j} R} (V_R) = \frac{1}{2^{n+1-j}} (-V_R) = \frac{2^j}{2^{n+1}} (-V_R);$$

$$a_j = 1, a_k = 0 (k \neq j)$$

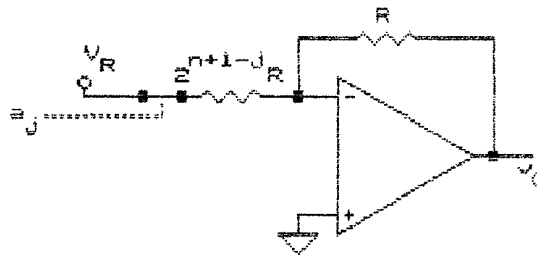


Figura 3. Sólo la rama j activa.

Si la palabra digital tiene un valor arbitrario, la señal de salida estará dada por la suma de las contribuciones de todas las ramas:

$$v_O = \sum_{j=1}^n V_{Oj} = \sum_{j=1}^n \frac{a_j \cdot 2^j}{2^{n+1}} (-V_R) = \frac{-V_R}{2^{n+1}} \sum_{j=1}^n a_j \cdot 2^j$$

Se observa que v_O puede tomar 2^n diferentes valores. Por ejemplo si $n=8$, v_O puede tomar 256 valores.

Código binario. El convertidor anterior opera con un código binario. Este tipo de código es natural en sistemas digitales que basan su operación en la existencia de dos estados: transistor en corte o conducción, cinta magnética con magnetización en una u otra dirección. El código binario usualmente se representa en una notación posicional: el peso asociado a cada posición es una potencia de 2. Los coeficientes que multiplican esos pesos son 0 o 1. A cada dígito binario se le llama bit.

Peso binario	16	8	4	2	1
	2^4	2^3	2^2	2^1	2^0
bit	a_5	a_4	a_3	a_2	a_1

Ejemplo. El equivalente decimal del entero binario 1011 es:

$$1 \cdot 2^3 + 0 \cdot 2^2 + 1 \cdot 2^1 + 1 \cdot 2^0 = 11$$

Ejemplo. El convertidor de la figura siguiente tiene $n=3$ bits y $V_R = -8$. Cuál es la salida para $X = \{1, 1, 0\}$?

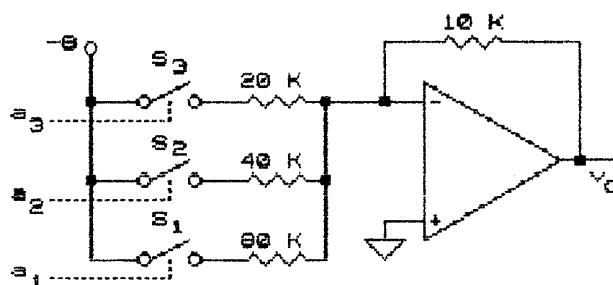


Figura 4. Circuito del ejemplo.

Las resistencias de este convertidor guardan entre sí la proporción de las resistencias del convertidor básico. Puede así determinarse el valor de v_O mediante la relación deducida anteriormente:

$$v_O = \frac{-V_R}{2^{n+1}} \sum_{j=1}^n a_j \cdot 2^j = \frac{-(-8)}{2^{3+1}} \sum_{j=1}^3 a_j \cdot 2^j$$

$$v_O = \frac{-(-8)}{2^4} (1 \cdot 2^3 + 1 \cdot 2^2 + 0 \cdot 2^1) = 6 \text{ volt}$$

Del mismo modo puede encontrarse la tensión de salida para otros valores de X . Se obtiene:

X			Vo (volt)
a ₃	a ₂	a ₁	
0	0	0	0
0	0	1	1
0	1	0	2
0	1	1	3
1	0	0	4
1	0	1	5
1	1	0	6
1	1	1	7

Definiciones. A continuación se definirá los principales parámetros de un convertidor binario D/A. Para facilitar su comprensión usaremos la tabla de salida del convertidor binario del ejemplo anterior:

La salida del convertidor varía entre 0 volt ($X = \{0, 0, 0\}$) y 7 volt ($X = \{1, 1, 1\}$). Se observa que cuando varía a_1 , bit menos significativo de X, varía la salida en 1 volt. Se habla de una equivalencia entre 1 bit menos significativo (1 LSB) y la variación que éste produce. Esto es, en el convertidor del ejemplo anterior $1 \text{ LSB} = 1 \text{ volt}$.

Resolución. Mide el grado de "fineza" con que varía la salida analógica al cambiar X en 1 LSB. En el convertidor binario anterior la resolución es de 1 volt. La resolución también se expresa en partes:

$$\text{Resolución} = 1 \text{ parte en } 2^n.$$

En el convertidor anterior ($n=3$), la resolución es 1 parte en 8.

La resolución es mejor cuando n es más grande. Por ejemplo, si en el convertidor del ejemplo anterior se cambiara n a 8 manteniendo $V_R = -8$, el valor de 1 LSB sería de $1/32$ volt y la resolución sería de $1/32$ volt o de 1 parte en 256.

En una forma más general, la resolución se expresa como 1 parte en el número de niveles analógicos que el convertidor es capaz de producir.

Valor de plena escala, F.S.: en el convertidor binario, se define como valor de plena escala, F.S., a:

$$\text{F.S.} = 1 \text{ LSB(volt)} * 2^n$$

En el convertidor binario básico, la tensión de salida sería $v_O = \text{F.S.}$ si todos los switches se abrieran y se agregara en la entrada una rama con una resistencia asociada de valor $2^0 R$. Esto es, en un convertidor real no puede alcanzarse el valor F.S. con ningún código de entrada. F.S. sólo da una idea del rango de variación que puede obtenerse con v_O . En el circuito básico anterior $\text{F.S.} = -V_R = 8 \text{ volt}$.

Convertidor unipolar. En este tipo de convertidores, al cambiar X, la tensión de salida v_O tiene una sola polaridad. Un ejemplo de convertidor unipolar es el convertidor binario básico.

Convertidor bipolar: En este tipo de convertidores la tensión de salida v_O cambia de positiva a negativa o viceversa al cambiar X. En el circuito de la figura se modifica la respuesta de un convertidor unipolar con $n=3$ y $V_R = -10$, agregando una rama que permite desplazar la respuesta y transformarla en bipolar.

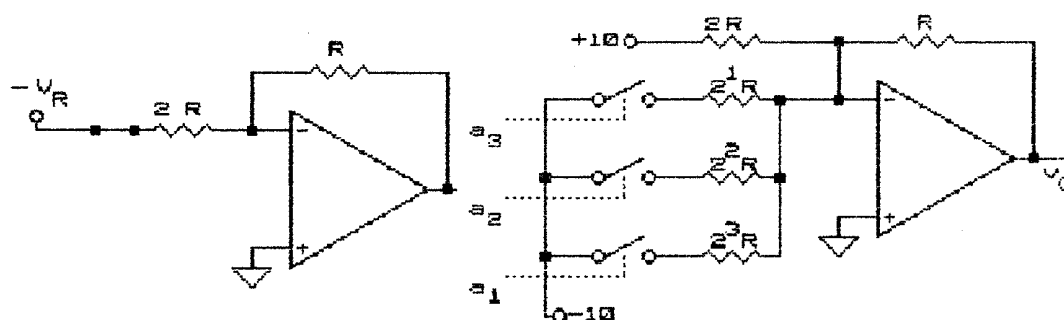


Figura 5. Convertidor A/D bipolar: a) rama adicional, b) Convertidor bipolar de tres bits.

En este caso:

$$v_O = \frac{V_R}{2^{n+1}} \sum_{j=1}^n a_j 2^j - 10 \frac{R}{2R}$$

En la siguiente tabla se muestra la respuesta del convertidor. Se observa que el valor de 1 LSB es de 1.25 volt:

X			v_O (volt)
a_3	a_2	a_1	
0	0	0	-5
0	0	1	-3.75
0	1	0	-2.50
0	1	1	-1.25
1	0	0	0
1	0	1	1.25
1	1	0	2.50
1	1	1	3.75

Desventajas del convertidor básico. El principal inconveniente de la convertidor binario básico radica en la gran dispersión de valores que presentan las resistencias de las ramas de entrada. Esto presenta dificultades mayores en realizaciones con valores elevados de n .

Convertidor D/A binario de red en escalera. Este circuito tiene la siguiente estructura:

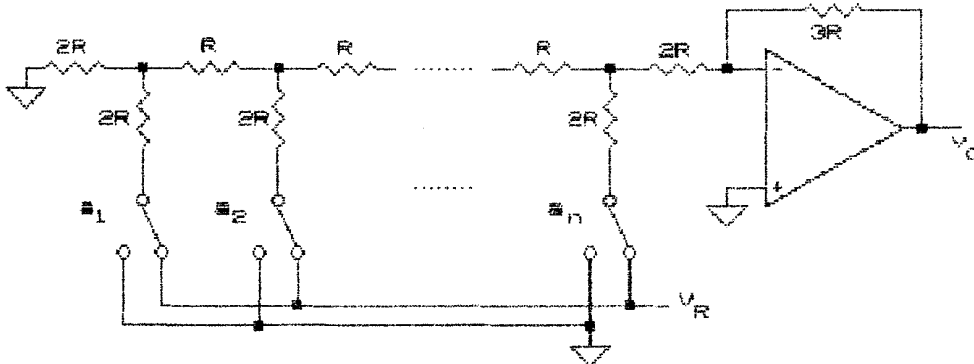


Figura 6. Convertidor D/A binario de red en escalera.

Esta estructura tiene la ventaja de que sus resistencias son todas del mismo orden permitiendo una más fácil implementación en forma integrada.

La palabra digital de entrada es el vector X (n bits): $X = (a_n, a_{n-1}, a_{n-2}, \dots, a_2, a_1)$ en el que a_n es el bit más significativo (MSB) y a_1 es el bit menos significativo (LSB).

Suponiendo únicamente el switch a_i en la posición de V_R y todos los restantes en la posición de tierra el circuito puede reducirse al mostrado en la figura 7:

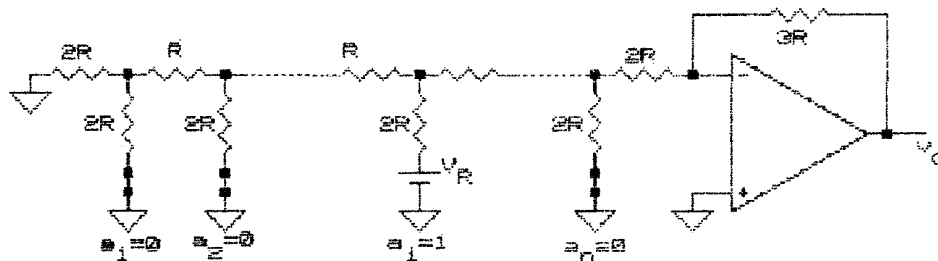


Figura 7. Sólo la rama i está activa.

El circuito equivalente para la rama i puede ser reducido al de la siguiente figura:

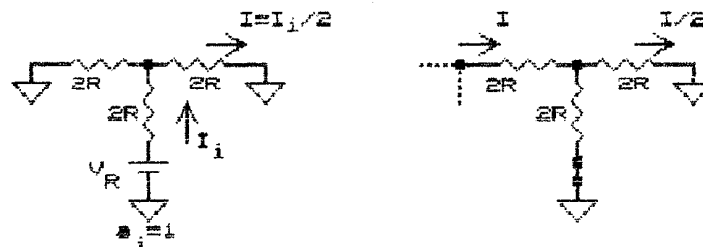


Figura 8. a) Nodo i, b) nodo i+1.

La corriente que circula por la rama i es:

$$I_i = \frac{V_R}{3R}$$

La corriente que se deriva hacia la rama de la derecha es $I_i / 2$. Además, cada vez que nos desplazamos un nodo hacia la entrada del amplificador operacional la corriente se vuelve a dividir en 2. Así, la corriente que llega a la entrada inversora del amplificador operacional y pasa por la resistencia de realimentación $3R$ es:

$$I_x = \frac{I_i}{2} \left(\frac{1}{2}\right)^{n-i}$$

La tensión de salida producida por esta corriente es:

$$V_{o_i} = -I_x * 3R$$

$$V_{o_i} = -\frac{I_i}{2} \left(\frac{1}{2}\right)^{n-i} * 3R = -V_R * \left(\frac{1}{2}\right)^{n+1-i}$$

Si consideramos el efecto de todas las ramas:

$$V_O = \sum_{i=1}^n -V_R * a_i * \left(\frac{1}{2}\right)^{n+1-i}$$

Esta expresión es idéntica a la obtenida en el convertidor binario básico.

Otros códigos. El código binario es un código que por su naturaleza se presta muy bien para su manipulación por sistemas digitales. Por otra parte, el ser humano se adapta mejor para operar números decimales. El uso de números decimales codificados en binario representa una solución a este problema.

Código BCD 8-4-2-1. Existen varios códigos que usan cuatro bits para representar un número decimal. En el código 8-4-2-1 se usan 4 bits: el bit de más a la izquierda tiene un peso de 8, el segundo desde la izquierda un peso de 4 y así sucesivamente:

Decimal	BCD	Decimal	BCD
0	0000	5	0101
1	0001	6	0110
2	0010	7	0111
3	0011	8	1000
4	0100	9	1001

Por ejemplo, la representación del decimal 349 requiere de tres grupos de 4 bits:

Decimal	3	4	9
BCD 8-4-2-1	0011	0100	1001

Convertidor BCD Básico. En la figura se muestra un convertidor D/A de 8 bits con código BCD 8-4-2-1 de entrada.

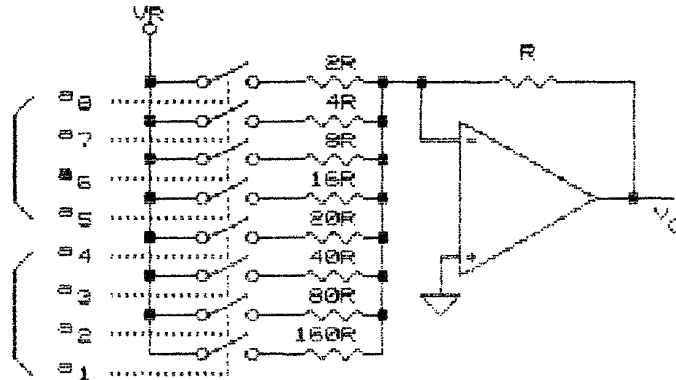


Figura 9. Convertidor básico BCD.

En este circuito, el grupo superior de resistencias tiene un peso que es 10 veces superior al grupo inferior. La palabra digital X admite en este caso sólo 100 combinaciones posibles: desde 00 hasta 99.

Convertidor BCD de red en escalera. Un convertidor BCD de red en escalera de 8 bits se muestra en la siguiente figura:

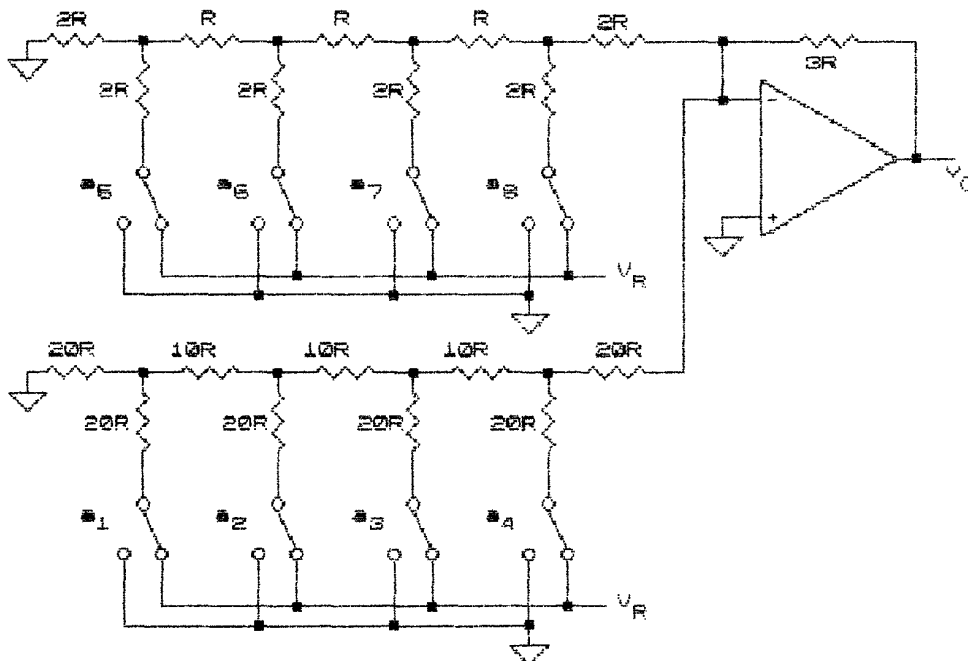


Figura 10. Convertidor BCD de red en escalera.

En esta estructura, cada grupo de 4 resistencias tiene valores que son diez veces los valores de las resistencias correspondientes del grupo adyacente de mayor significación.

Código magnitud y signo. En esta representación, el bit más significativo, MSB, (el de más a la izquierda) indica el signo: si este bit es cero (0) la cantidad es positiva y en caso contrario (1) es signo negativo. El resto de la palabra digital indica el valor del número equivalente decimal.

Ejemplo: $n = 3$

b_3	b_2	b_1	Equiv. Decimal
0	1	1	+3
0	1	0	+2
0	0	1	+1
0	0	0	+0
1	0	0	-0
1	0	1	-1
1	1	0	-2
1	1	1	-3

En este código hay dos representaciones para el cero.

A continuación se muestra un convertidor implementado con este código:

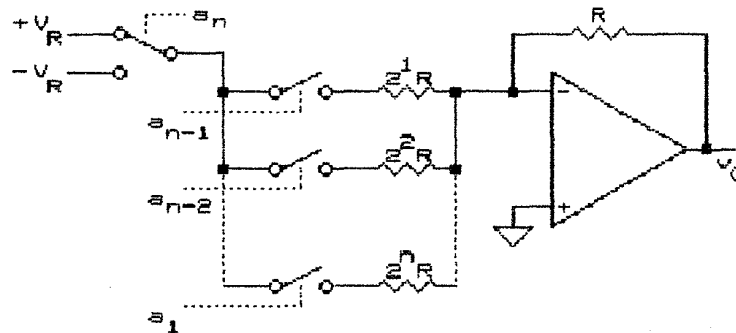


Figura 11. Convertidor de código magnitud y signo.

Característica ideal de un convertidor D/A. El comportamiento de este tipo de dispositivo se describe usualmente mediante la llamada característica de transferencia que es una representación de la forma en que varía la tensión analógica de salida v_O con la palabra digital de entrada X .

Por ejemplo: característica de transferencia de un convertidor binario unipolar con $n = 3$:

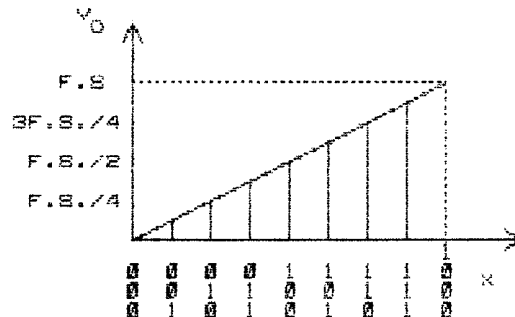


Figura 12. Característica ideal de transferencia.

En el caso ideal, las barras correspondientes a cada código digital tienen una altura tal, que una línea recta trazada desde el origen pasaría por el extremo superior de cada barra. Esta recta también debe pasar por el punto determinado por el valor de plena escala F.S. y su "código".

Errores en convertidores D/A. La respuesta de un convertidor real se aparta de la característica de un convertidor ideal. En una implementación práctica, existen varias fuentes de error que producen efectos que pueden ser agrupados en la siguiente forma:

Error de Offset. El error consiste en que la barra correspondiente al código $\{0, 0, \dots, 0, 0\}$ no tiene altura cero. Este error se expresa como fracción de 1 LSB (Volt).

Ejemplo: Un convertidor binario de 8 bits tiene F.S. = 10. El convertidor, para una palabra digital $X = \{0, 0, 0, \dots, 0\}$, produce una tensión de salida $v_O = 3 \text{ mV}$. Hallar el error de offset.

En este convertidor el valor de 1 LSB es:

$$1 \text{ LSB (volt)} = \frac{\text{F.S.}}{2^n} = \frac{10}{28} = 3.91 \text{ mV}$$

$$\text{El error de offset será } \frac{3 \text{ mV}}{3.91 \text{ mV}} = 0.77 \text{ LSB}$$

El error de Offset puede ser corregido (llevado a cero) mediante elementos externos.

Error de ganancia: Idealmente, el extremo superior de todas las barras debe estar ubicado sobre una línea recta que pasa por el origen y por el extremo superior de la barra correspondiente a F.S.. Sin embargo, en la práctica, la proyección de la recta no pasa por F.S.. Esto es, la recta tiene una pendiente distinta a la ideal:

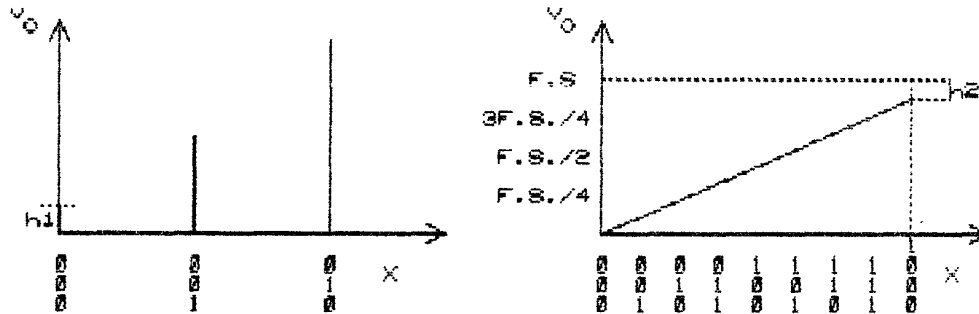


Figura 13. Errores. a) Offset, b) ganancia.

En el convertidor binario básico, frecuentemente el error de ganancia se origina en un valor incorrecto para la resistencia de realimentación.

Ejemplo. En el circuito de la figura 14, el valor correcto de \$R_F\$ es 2.5 K. Determinar el error de ganancia si la resistencia \$R_F\$ es 2.2 K.

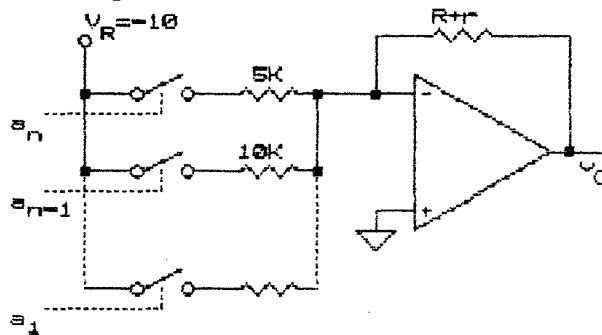


Figura 14. Circuito del ejemplo.

El valor ideal de \$R_F\$ produce una tensión F.S. de 10 volt. \$R_F = 2.2\$ K producirá, en cambio:

$$F.S. = -10 * \frac{-2.2 \text{ K}}{2.5 \text{ K}} = 8.8 \text{ volt}$$

El error absoluto es así \$10 - 8.8 = 1.2\$ volt. Este error, expresado como porcentaje de F.S., es el error de ganancia :

$$\text{Error de ganancia (\% F.S.)} = \frac{1.2}{10} \times 100 = 12 \%$$

El error de ganancia puede ser generalmente corregido mediante redes externas al convertidor.

Error de linealidad. Se debe a que las resistencias de la red no guardan entre sí la proporción correcta. Por esto, aunque no exista error de ganancia, en la característica de transferencia de un convertidor real el extremo superior de las barras no caen sobre la línea recta ideal.

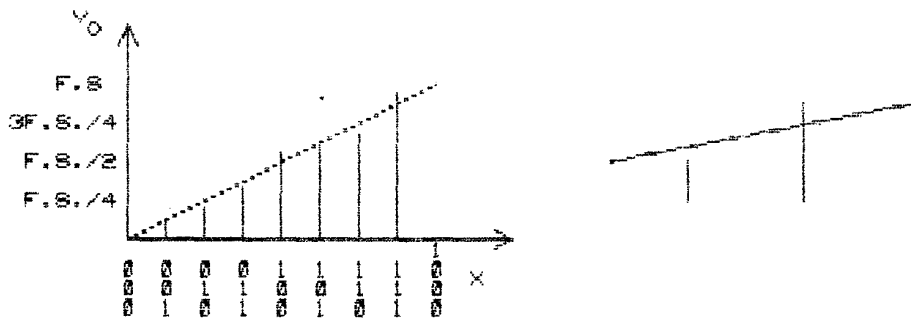


Figura 15. Error de linealidad.

El error de linealidad se expresa como porcentaje de F.S.. Este error es, por lo general, irreductible (no puede ser llevado a cero).

Ejemplo: El convertidor binario de la figura tiene 5 bits, $V_R = -10$. La resistencia asociada al bit a_4 es 10,2 K en vez de 10 K. Cuál es el error de linealidad ?

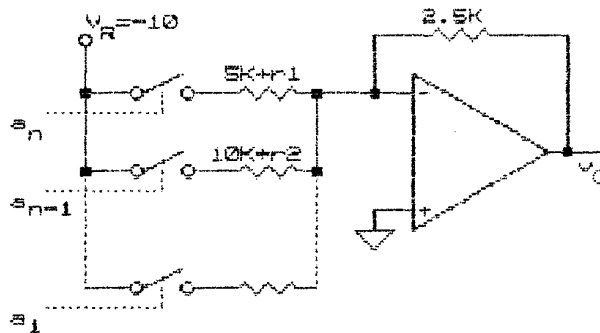


Figura 16. Circuito del ejemplo.

$$\text{Salida ideal } (X = \{0, 1, 0, 0, 0\}) = -10 * \frac{-2.5 \text{ K}}{10 \text{ K}} = 2.5 \text{ volt}$$

$$\text{Salida real } (X = \{0, 1, 0, 0, 0\}) = -10 * \frac{-2.5 \text{ K}}{10.2 \text{ K}} = 2.45 \text{ volt}$$

La desviación de la resistencia asociada al bit a_4 producirá un error absoluto de:

$$\text{Error absoluto} = 2.5 - 2.45 = 0.05 \text{ volt}$$

En este convertidor el valor de plena de escala es:

$$\text{F.S.} = -V_R = 10 \text{ volt}$$

$$\text{Error de linealidad (bit 4) (\%FS)} = \frac{0.05}{10} * 100 = 0.5 \% \text{ F.S.}$$

Este error puede ser expresado en partes por millón (ppm):

$$\text{Error (ppm)} = 10000 * \text{Error (\%)}$$

El error de linealidad es, por lo general, el mayor entre los errores de un convertidor D/A.

Error debido a la fuente de polarización: variaciones rápidas y lentas de la fuente de alimentación producen error en v_O . El error causado por variaciones en la tensión de la fuente de poder se calcula utilizando el parámetro "sensibilidad a la fuente de poder" incluido por el fabricante en la hoja de datos. Este parámetro se expresa como:

$$\text{Sensibilidad a la fuente de poder} = \text{P.S.S.} = \frac{\% \text{ F.S.}}{\% V_{CC}}$$

Si el valor de P.S.S. especificado por el fabricante es 1.3%, esto significa que el error en la salida será de 1.3 % de F.S. si la tensión de la fuente de polarización cambia en 1 %.

Velocidad de un convertidor D/A. Otro parámetro importante de un convertidor D/A es su velocidad de respuesta. Para estos dispositivos, la velocidad de respuesta se expresa en términos del llamado tiempo de estabilización, t_s , expresado en ns. Este parámetro es una medida de lo que tarda la salida del convertidor en acercarse a su valor final después de un cambio en la entrada digital.

Ejemplo. En un convertidor binario básico, si la palabra digital de entrada cambia de $\{0, 0, 0, \dots, 0\}$ a $\{1, 0, 0, \dots, 0\}$, la tensión de salida v_O cambiará desde 0 a $(\text{F.S.})/2$. La forma de la variación se muestra en la figura:

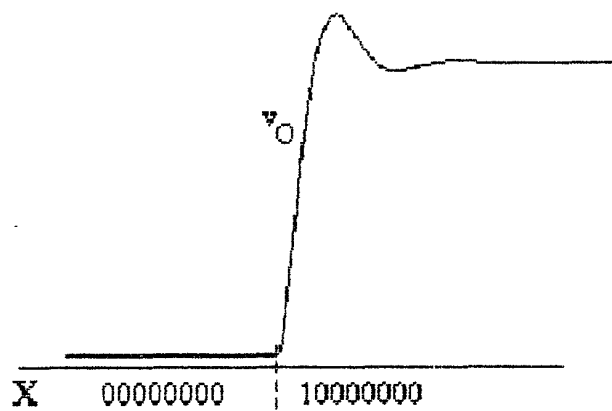


Figura 17. Respuesta a un cambio brusco de la entrada.

Tiempo de estabilización, t_s . Es el tiempo, medido desde el instante en que se produjo el cambio en la señal de entrada, que tarda la señal de salida v_O en entrar definitivamente a una cierta banda de error alrededor del valor final. En la figura siguiente, en una versión ampliada de la figura 17 se muestra la forma de determinar el tiempo t_s .

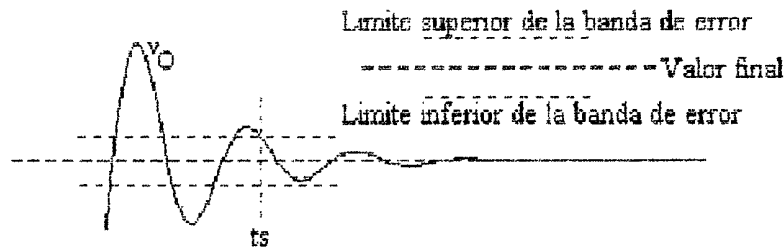


Figura 18. Tiempo de estabilización.

Clasificación de los Convertidores D/A. Los convertidores D/A se dividen en dos grupos:

a) Convertidores D/A de Instrumentación. Incluye dispositivos de alta resolución (n grande) y alta precisión (error pequeño). Además, estos convertidores tienen una baja sensibilidad a la fuente de poder, P.S.S..

Ejemplos:

Clase	Tipo	bits	t_s (1)	Error linealidad (2)
Muy alta resolución	DAC729	18	5 us	0.00075
Alta resolución (3)	DAC705	16	8 us	0.003
Bajo costo	DAC1200	12	3 us	0.018

b) Convertidores D/A de para comunicaciones, audio, procesamiento y control digital. En estos convertidores el parámetro más importante es la velocidad.

Ejemplo.

Clase	Tipo	bits	t_s (1)	Error linealidad (2)
Muy alta velocidad	DAC65	12	40 ns	0.012

Observaciones: (1) banda de error: 0.003 % F.S.

(2) % F.S.

(3) conexión directa a microprocesador

Criterios de selección DACs. En un proceso de selección de un convertidor D/A se debe considerar los siguientes parámetros:

- **Precisión-Resolución.** Se debe determinar el nivel de error total aceptable en todas las condiciones de operación posibles. Se debe también fijar especificaciones de estabilidad y rizado para las fuentes de poder.

- Velocidad. El tiempo de estabilización debe adecuarse a la velocidad de cambio de la señal de entrada digital.
- Tipo de salida unipolar o bipolar. Algunos convertidores se prestan mejor para operar con salida unipolar.
- Código de entrada. Algunos convertidores pueden aceptar entradas digitales en varios formatos (binario, complemento de 2, binario desplazado, etc). En cambio, otros aceptan sólo un código de entrada.
- Compatibilidad (CMOS, TTL). Algunos convertidores están diseñados para su conexión directa a microprocesadores o microcontroladores.
- Forma de salida: voltaje o corriente. En convertidores de alta velocidad, la salida es generalmente una corriente. Los convertidores con salida de voltaje son más fáciles de usar.

Conversión de salida de corriente a voltaje. En situaciones en que la salida de corriente de un D/A deba ser convertida a un voltaje se puede recurrir a uno de los siguientes circuitos:

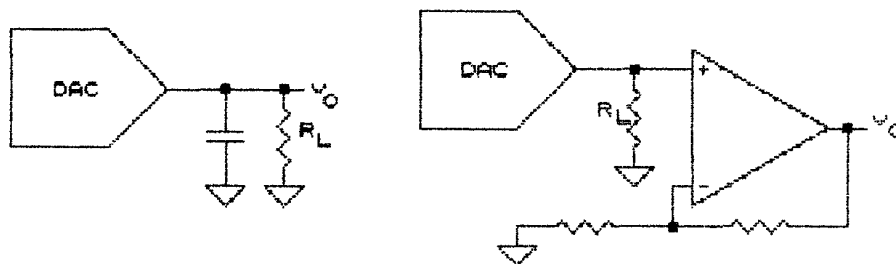


Figura 19. a) Conversión con resistencia, b) amplificación de la señal resultante.

En el esquema de la figura la conversión de la corriente de salida se efectúa directamente con una resistencia. La capacidad presente en la salida reduce la velocidad de respuesta del circuito. Desde el punto de vista de la velocidad de respuesta, es conveniente que el valor de R sea pequeño. Sin embargo, esto producirá una señal de salida pequeña que, de ser necesario, puede ser amplificada posteriormente.

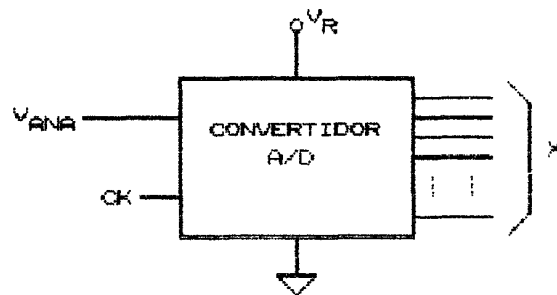


Figura 20. Conversión A/D. Esquema.

Convertidor Analógico/Digital, A/D o ADC. Un convertidor A/D transforma una señal analógica de entrada, V_{ANA} , en una palabra digital de salida X . El proceso de conversión requiere de una señal de referencia V_R y de una señal de reloj CK . Estas señales pueden ser generadas por el propio convertidor o externamente.

Algunos convertidores requieren de algunas señales adicionales:

- **SC. Start Conversion:** Entrada que permite controlar el instante en que se va a iniciar un proceso de conversión

- **EOC. End of Conversion:** Salida que se activa al terminar un proceso de conversión para indicar que los datos en las líneas digitales de salida son válidos.

Tipos de convertidores. Se fabrican convertidores para diferentes aplicaciones:

- Alta velocidad
- Alta precisión
- Compatible con microprocesadores o microcontroladores.
- Estilo DPM (digital panel meter).

El funcionamiento de estos convertidores se basa en diferentes principios. A continuación se estudiarán algunos tipos de convertidores A/D.

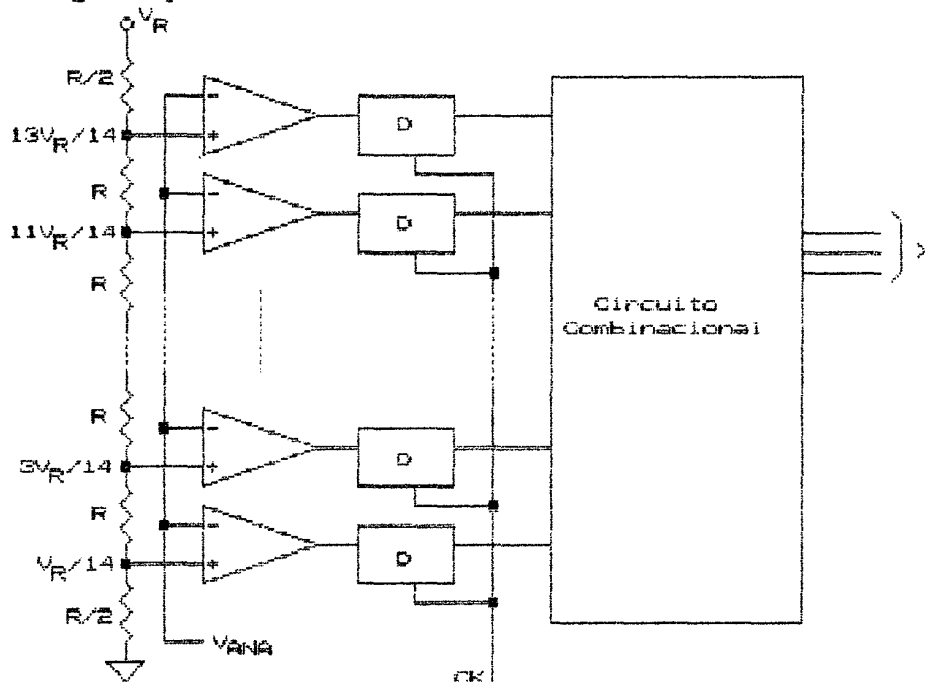


Figura 21. Convertidor tipo Flash.

Convertidor tipo Flash. Es el convertidor A/D más rápido que existe. Esto lo hace adecuado para aplicaciones de alta velocidad tales como procesamiento digital de señales y comunicaciones. Un convertidor tipo Flash de 8 bits es capaz de digitalizar una señal en 30 ns. Una forma de implementar un convertidor tipo Flash de 3 bits de salida se muestra en la figura.

En este tipo de circuitos se requieren 2^{n-1} comparadores. La red de resistencias está formada por 6 resistencias de valor R entre las entradas de los comparadores, más dos resistencias de valor $R/2$ para un total de $7R$ ohm. La salida de cada comparador es un nivel alto si la entrada analógica al comparador es menor que su tensión de referencia. La salida de los comparadores se conecta a la entrada de flip flops tipo D. Este tipo de flip flop transfiere a su salida el nivel lógico que está presente en su entrada, en el momento en que ocurre la transición positiva de la entrada de reloj.

Los flip flop transfieren, bajo control del reloj, la salida de los comparadores a las entradas del circuito combinacional. Este último está dispuesto en forma tal que:

V_{ANA}	b_3	b_2	b_1	Centro intervalo
0 - $V_R/14$	0	0	0	0
$V_R/14$ - $3V_R/14$	0	0	1	$V_R/7$
$3V_R/14$ - $5V_R/14$	0	1	0	$2V_R/7$
.
$11V_R/14$ - $13V_R/14$	1	1	0	$6V_R/7$
$13V_R/14$ - V_R	1	1	1	V_R

Esto es, existe un total de 8 intervalos. De acuerdo a la definición de centro de intervalo, un valor analógico cualquiera dentro de un intervalo nunca estará alejado más de $V_R/14$ del centro del intervalo. Se observa que el valor de 1 LSB es $V_R/7$.



Figura 22. Intervalos: a) centrales, b) extremos.

La elección del centro en los intervalos de los extremos se efectúa en la forma indicada, para que la máxima distancia desde un valor analógico en el intervalo al centro del mismo sea también de $V_R/14$. De esta forma a todo V_{ANA} en el intervalo 0, $V_R/14$ se le asignará el código 000. Igualmente, a todo V_{ANA} en el intervalo $V_R/14$, $3V_R/14$ le corresponde el código 001.

Desde el punto de vista de la palabra digital de salida, X , un código dado tendrá que haber sido producido por un V_{ANA} igual al valor correspondiente al del centro del intervalo con un error máximo (llamado error de cuantización) de $V_R/14$ o $1/2$ LSB.

La resolución del convertidor es:

- 1 parte en $2^n = 8$
- 1 LSB

El cambio requerido en V_{ANA} para producir un cambio en el LSB de X es de $V_R/7$.

Convertidores A/D de aproximaciones sucesivas. La estructura de este convertidor incluye un registro y un convertidor D/A de n bits, un comparador y circuitos de control tal como se muestra en la siguiente figura.

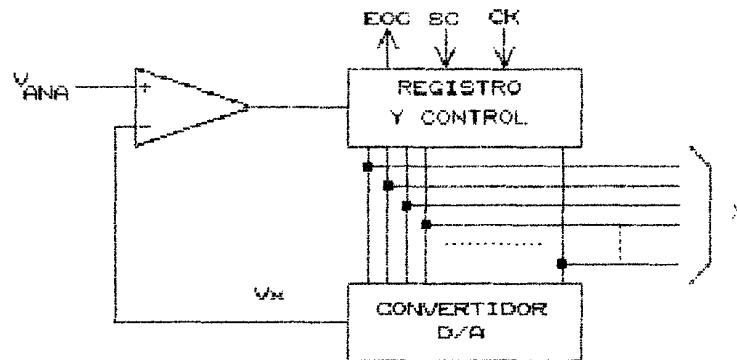


Figura 23. Convertidor A/D de aproximaciones sucesivas.

El circuito requiere para su funcionamiento de un reloj (CK) y de una tensión de referencia para el funcionamiento del convertidor D/A interno. El proceso de conversión se inicia al inyectar un pulso apropiado a la entrada de inicio de conversión (SC, start conversion).

En cada período de reloj se producen los siguientes eventos:

- el contenido y la salida del registro varía
- se efectúa una comparación
- el contenido y la salida del registro se mantiene o reajusta dependiendo del resultado de la comparación

Al término del proceso de conversión se activa la salida fin de conversión (EOC, end of conversion).

Ejemplo. El proceso de conversión se explicará mediante un ejemplo. Se considerará un convertidor A/D de 3 bits con una tensión de plena escala de 8 volt para el convertidor D/A interno. Supondremos que $V_{ANA} = 5.5$ volt.

Primer período de reloj. En este período se procesa el bit más significativo (a_2).

-el circuito de control carga el registro con la palabra $X = \{1, 0, 0\}$, esto es un 1 en el bit más significativo y un 0 en los bits restantes. La salida del convertidor D/A para esta palabra digital es 4 volt.

-las señales de entrada al comparador son $V_{ANA} = 5.5$ volt en la entrada no inversora y 4 volt producidos por el convertidor D/A en la entrada inversora. La salida del comparador será un nivel alto.

-siendo la salida del comparador es un nivel alto, el circuito de control mantiene el 1 en el a_2 .

Al término de este período $X = \{1, 0, 0\}$

Segundo periodo de reloj. Procesamiento del segundo bit (a_2).

-el circuito de control carga el registro con la palabra $X = \{1, 1, 0\}$, esto es un 1 en el segundo bit más significativo y un 0 en el último bit. La salida del convertidor D/A para esta palabra digital es 6 volt.

-las señales de entrada al comparador son $V_{ANA} = 5.5$ volt en la entrada no inversora y 6 volt producidos por el convertidor D/A en la entrada inversora. La salida del comparador será un nivel bajo.

-el circuito de control reemplaza el 1 en el segundo bit a_2 por un 0 ya que la salida del comparador es un nivel bajo.

Al término de este período $X = \{1, 0, 0\}$

Tercer periodo de reloj. Procesamiento del último bit (a_1).

-el circuito de control carga el registro con la palabra $X = \{1, 0, 1\}$, esto es coloca un 1 en el último bit. La salida del convertidor D/A para esta palabra digital es 5 volt.

-las señales de entrada al comparador son $V_{ANA} = 5.5$ volt en la entrada no inversora y 4 volt producidos por el convertidor D/A en la entrada inversora. La salida del comparador será un nivel alto.

-por ser la salida del comparador un nivel alto, el circuito de control mantiene el 1 en a_1 .

Al terminar este tercer período concluye el proceso de conversión con $X = \{1, 0, 1\}$. Se activa la salida de fin de conversión

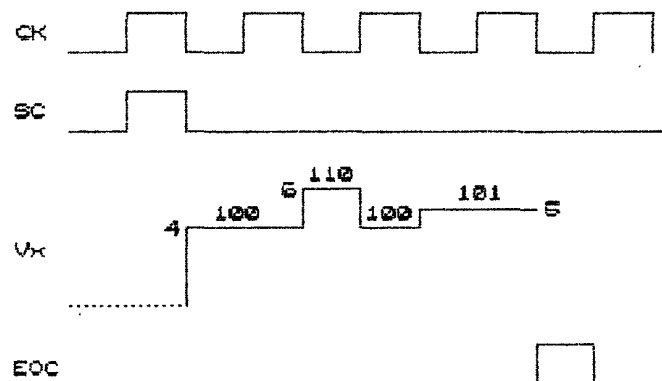


Figura 24. Modo de aproximación en conversión del ejemplo.

Características del convertidor A/D de aproximaciones sucesivas.

- La mayor parte de los convertidores de aproximaciones sucesivas tienen salida de 3 estados. Por esta razón, estos convertidores se utilizan ampliamente en sistemas que incluyen microprocesadores.

-Se fabrican con varios niveles de resolución: 16, 12, 8 bits.

-Alta velocidad (1MHz).

-Tiempo de conversión fijo = N ciclos de reloj.

-Osciladores incluidos en el mismo circuito integrado. Se puede fijar la frecuencia de oscilación a través de componentes externos: resistencia y capacitores.

-Es necesario que la señal de entrada no varíe apreciablemente mientras dura la conversión. Si este requisito no se cumple se debe utilizar circuitos de muestreo y retención

Convertidor de rampa simple (discreta). En la figura siguiente se muestra la estructura de un convertidor de rampa discreta.

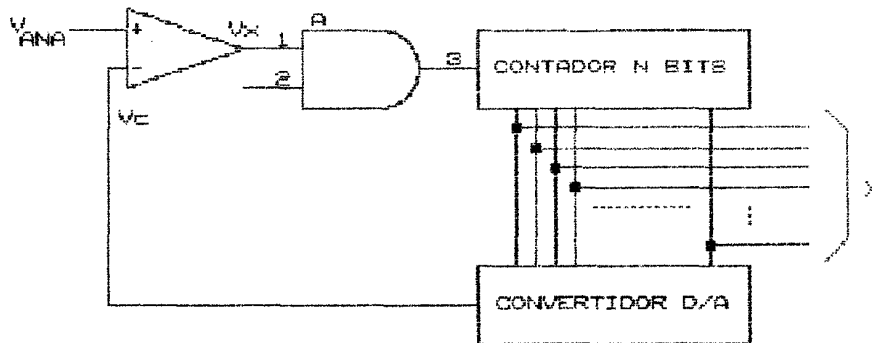


Figura 25. Convertidor A/D de rampa simple.

Funcionamiento. En el diagrama simplificado anterior, el contenido inicial del contador es $X = \{0, 0, 0, \dots, 0\}$. Así, inicialmente, la salida del convertidor D/A es $V_C = 0$. La salida del comparador es un nivel alto y los pulsos de reloj CK pasarán libremente a la entrada del contador. La cuenta de éste se incrementará al igual que la salida del convertidor D/A, V_C . Este proceso se interrumpe en el instante en que V_C se haga mayor a V_{ANA} lo cual forzará a que la salida del comparador pase a su nivel bajo interrumpiendo el paso de los pulsos de reloj hacia el contador. En ese instante, la cuenta del contador es una representación digital de V_{ANA} .

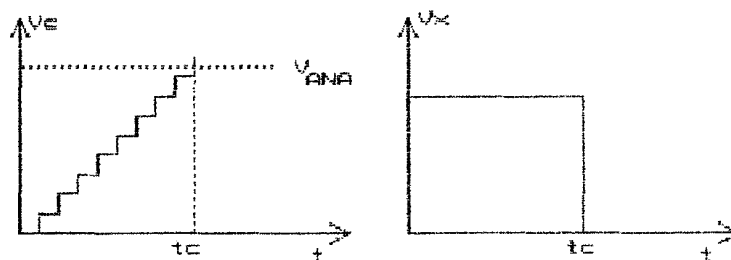


Figura 26. a) Salida del convertidor, b) salida del comparador.

Convertidor de doble rampa: este convertidor incluye en su estructura un integrador y un contador de $n+1$ bits. La señal de entrada V_{ANA} debe ser menor que la tensión V_R para la operación correcta del circuito.

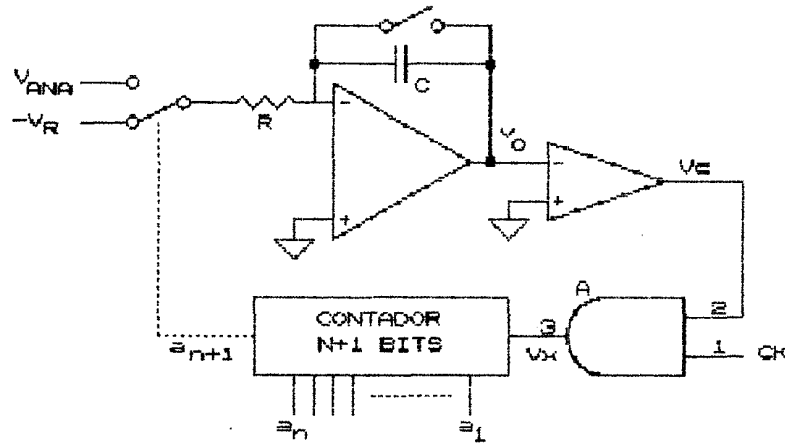


Figura 27. Convertidor de doble rampa.

El bit más significativo del contador define la posición del switch: si $a_{n+1}=0$, el switch estará conectado a V_{ANA} . En caso contrario se conectará a $-V_R$.

Inicialmente, C está descargado y la cuenta del contador es $X = \{0, 0, 0, \dots, 0\}$. El switch se conecta a V_{ANA} . La salida del integrador empieza a variar de acuerdo a la relación:

$$v_O = \frac{-1}{RC} \int V_{ANA} dt$$

Suponiendo que C está inicialmente descargado y que V_{ANA} permanece constante durante la conversión, el voltaje de salida v_O decae en forma lineal. Esto es:

$$v_O = \frac{-1}{RC} V_{ANA} * t$$

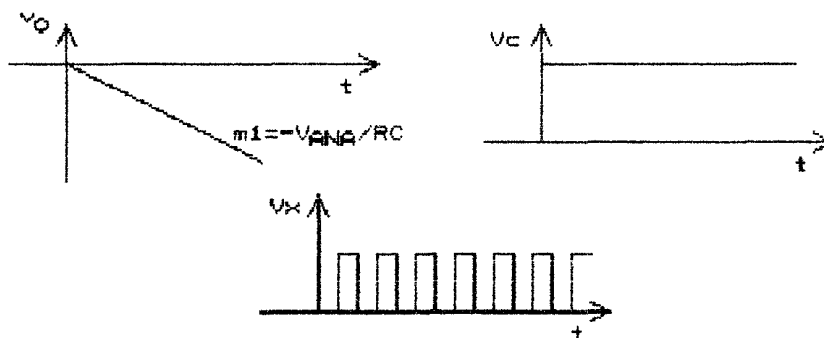


Figura 28. Convertidor de doble rampa. Formas de onda.

Los pulsos de reloj pasan libremente al contador pues V_C está en su nivel alto. Así, la cuenta del contador incrementa gradualmente. El proceso continuará tal como se ha descrito hasta

T_1 , instante en el cual habrán ingresado a éste 2^n pulsos y la cuenta en el contador se incrementa al punto que a_{n+1} , el bit más significativo, se hace 1.

$$T_1 = 2^n * T_c$$

acá T_c es el período del reloj.

El contenido del contador en T_1 es:

$$\begin{array}{cccccccc} 1 & 0 & 0 & 0 & \dots\dots & 0 & 0 \\ a_{n+1} & a_n & a_{n-1} & \dots\dots & a_2 & a_1 \end{array}$$

El switch pasa a la posición $-V_R$ en el instante T_1 y ahora la tensión de salida del integrador v_O aumentará gradualmente.

$$v_O = \frac{-1}{RC} V_{ANA} * T_1 + \frac{1}{RC} V_R (t - T_1)$$

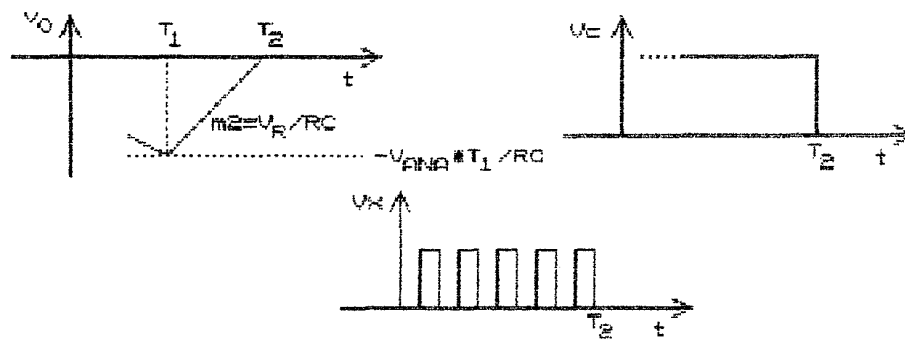


Figura 29. Formas de onda hasta el término de la conversión.

La situación anterior se mantiene hasta T_2 , instante en que v_O se hace cero. La salida del comparador cae a cero y la compuerta Y bloquea el paso de la señal de reloj hacia el comparador. En T_2 :

$$v_O = 0 = \frac{-1}{RC} V_{ANA} * T_1 + \frac{1}{RC} V_R (T_2 - T_1)$$

Se puede despejar $T_2 - T_1$:

$$T_2 - T_1 = \frac{-V_{ANA}}{V_R} * T_1, \text{ independiente de RC}$$

$$T_2 - T_1 = \frac{-V_{ANA}}{V_R} * 2^n T_c$$

El contenido del contador se ha incrementado en λ entre T_1 y T_2 .

$$\lambda = \frac{T_2 - T_1}{T_c} = \frac{-V_{ANA}}{V_R} 2^n$$

Así, si V_{ANA} es menor que V_R la cuenta λ contenida en los n bits menos significativos del contador corresponderá a una representación digital de V_{ANA} .

Convertidor de rampa continua (ventana). Este convertidor es muy simple y fácil de implementar. Su configuración se muestra en la figura siguiente:

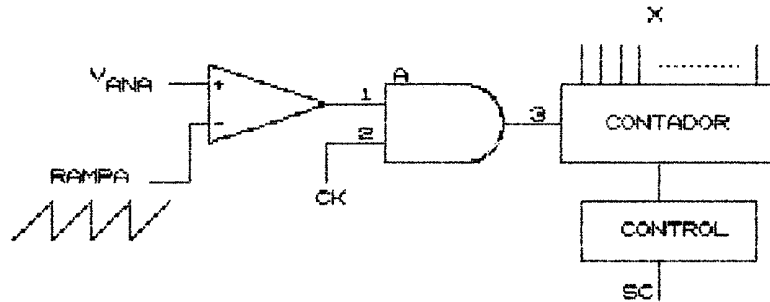


Figura 30. Convertidor A/D de rampa continua.

Inicialmente el contenido del contador es $X = \{0, 0, 0, \dots, 0\}$. La salida del comparador será alta, permitiendo el paso de los pulsos de reloj hacia el contador, durante todo el intervalo de tiempo en que $V_{ANA} > V_{RANPA}$. Este intervalo tiene una duración T_x :

$$V_{ANA} = \frac{V_R}{T} * T_x$$

Esto es, en el intervalo $0 \leq t \leq T_x$, la salida del comparador será alta.

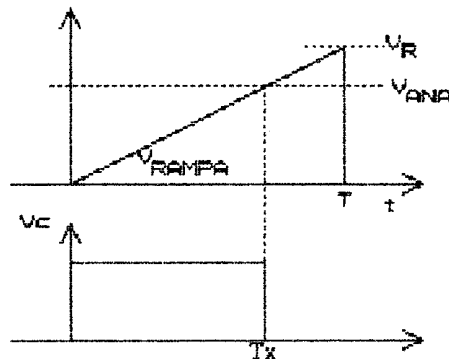


Figura 31. Formas de onda.

En T_x , la cuenta en el contador llegará a:

$$N = \frac{T_x}{T_c} = \frac{f_{CK} * T}{V_R} * V_{ANA}$$

Convertidor de voltaje a frecuencia. Este tipo de convertidores permite transformar una señal analógica en una señal rectangular cuya frecuencia es aproximadamente proporcional a la magnitud de la tensión analógica. Este tipo de circuitos permite la transmisión de información analógica a gran distancia.

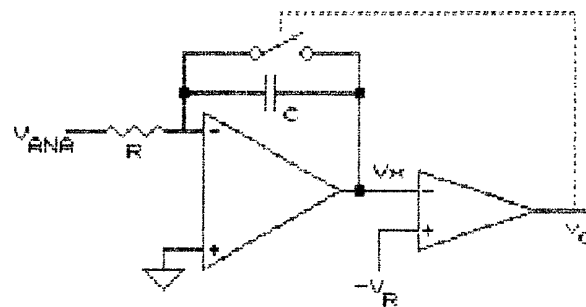


Figura 32. Convertidor frecuencia a voltaje.

Consideraremos inicialmente a C descargado y S abierto. La salida del integrador disminuirá gradualmente y en el instante T_x en que pase por debajo del nivel $-V_R$, la salida del comparador pasará de bajo a alto. Esto hará que el switch se cierre durante T_d descargando el condensador C. Al término de este intervalo de descarga el switch S se vuelve a abrir y el proceso se repite.

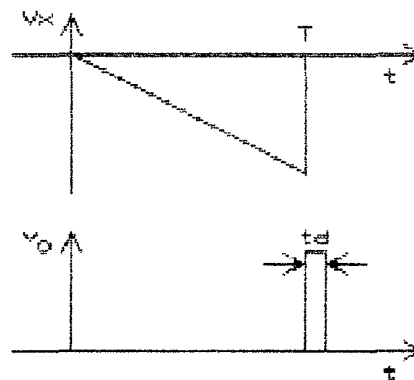


Figura 33. Convertidor frecuencia a voltaje, formas de onda.

Al empezar el proceso, C está descargado y la tensión de salida del integrador varía de acuerdo a:

$$V_x(T_x) = -V_R = \frac{-V_{ANA} * T_x}{RC}$$

El período de la onda a la salida del comparador es:

$$T = T_x + T_d$$

la frecuencia de la señal de salida es:

$$f = \frac{1}{T_x + T_d}$$

si $T_x \gg T_d$, la frecuencia es:

$$f = \frac{1}{T_x} = \frac{1}{V_R RC} * V_{ANA}$$

Esto es, en estas condiciones, la frecuencia de la señal de salida es proporcional a V_{ANA} .

Errores en convertidores A/D. La característica ideal de transferencia de un convertidor A/D de 3 bits con una tensión de plena escala F.S. = 8 volt se muestra en la siguiente figura:

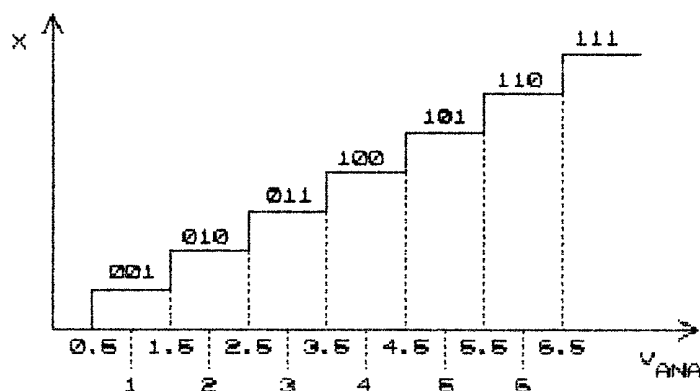


Figura 34. Característica ideal de transferencia de un convertidor A/D.

En este caso,

$$1 \text{ LSB} = \frac{\text{F.S.}}{2^n} = \frac{8}{2^3} = 1 \text{ volt}$$

Se observa que el escalón inferior (correspondiente al código 000) es más angosto que los restantes para uniformar el error de cuantización en $1/2$ LSB.

Errores: Se definen los siguientes errores:

Error de Offset (desbalance). Existe error de offset si la primera transición no ocurre en en $1/2$ LSB. La magnitud de este error se expresa como fracción de 1 LSB

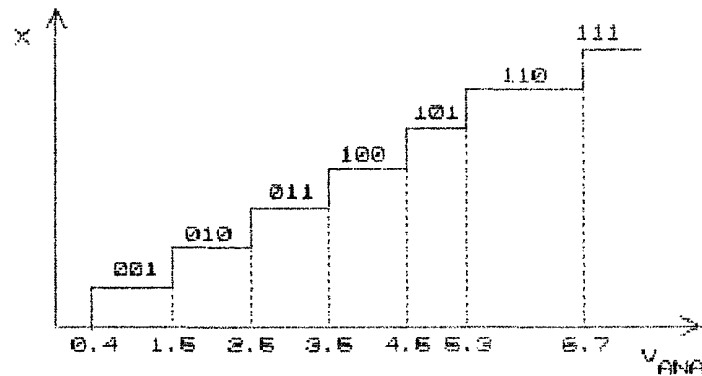


Figura 35. Errores de un convertidor A/D.

Error de Ganancia. Existe error de ganancia si la diferencia entre la última y la primera transición es diferente a (F.S. - 2 LSB). En nuestro caso:

diferencia última y primera transición es $6,5 - 0,5 = 6$ Volt.

Error de Linealidad. Este error ocurre porque en un convertidor real el ancho de un escalón es diferente de 1 LSB (volt).

$$\text{Error linealidad}_{\text{escalón}} = |\text{Ancho del escalón} - 1 \text{ LSB (volt)}|$$

Error de linealidad del convertidor: es el mayor entre los errores de linealidad de los diferentes escalones.

Sensibilidad a la fuente de poder. P.S.S.: se usa una definición similar a la empleada en el convertidor D/A. El fabricante publica el valor:

$$\text{Sensibilidad a la fuente de poder} = \text{P.S.S.} = \frac{\% \text{ F.S.}}{\% V_{CC}}$$

Observación: a una temperatura y una tensión de polarización dadas, es posible llevar a cero los errores de ganancia y offset. Al variar la temperatura el ajuste se pierde.

El fabricante publica dos valores para la determinación del error:

- 1) Errores iniciales: Valores de los errores de offset y de ganancia a 25°C
- 2) Coeficientes térmicos. Tempco : forma en que varían los errores de offset y ganancia con la temperatura.

Especificaciones: el fabricante publica valores para todos los parámetros de interés de un convertidor en su hoja de datos. A continuación se muestran las especificaciones de un convertidor de aproximaciones sucesivas AD5240 .

Rango de salida: ajustable: F.S.: $\pm 5, \pm 10$ volt (F.S.R.: 10, 20 volt).

Resolución: puede expresarse en varias formas:

-número de bits: resolución= 12 bits

-partes en 2^n : resolución: 1 parte en $2^{12} = 4096$

-en por ciento: resolución (%) = $\frac{1}{4096} * 100 = 0.0244 \%$

-resolución (partes por millon) = $\frac{1}{4096} * 10^6 = 244 \text{ ppm}$

Finalmente, la resolución puede referirse al valor de 1 LSB. Si se ha ajustado el convertidor para F.S.= $\pm 10 \text{ volt}$ (F.S.R. = 20 volt):

-resolución (volt) = 1 LSB (volt) = $\frac{\text{F.S.R.}}{2^n} = \frac{20}{2^{12}} = 4.8 \text{ mV}$

Se observa que 1 LSB equivale a 0.024 % de F.S.R..

Especificaciones de la entrada analógica: la entrada analógica tiene las siguientes características:

-Impedancia de entrada: la señal analógica puede ser conectada directamente al comparador. Alternativamente, puede usarse un seguidor de voltaje interno (buffer). La impedancia de entrada en ambos casos es:

- Conexión directa: 10 K Ω

- Con Buffer interno: 100 M Ω

-Rango de tensión de entrada: F.S.R: ajustable: 10, 20 volt .

-Tiempo de estabilización al 0.01 % de FSR. Escalón de entrada 20 volt: 2 μs .

Especificaciones entradas.

-Entrada S.C. (arrancar conversión): pulso TTL de un ancho mínimo de 50 ns, activo en borde trasero. Equivalente a 1 carga TTL.

Característica de Transferencia.

Valores iniciales (@ 25° C):

-Error de offset: 0.2% de FSR

-Error de ganancia: 0.2% FSR

-Error de linealidad: 1/2 LSB

-Error de cuantización: 1/2 LSB.

-Sensibilidad a la fuente de poder. P.S. Sensitivity: $\pm 0.004 (\% \text{ FSR}/\% V_{CC})$.

Coefficientes térmicos. Para un rango de temperaturas de 0 a 70° C:

-Ganancia: $\pm 30 \text{ ppm}/^\circ \text{C}$

-Offset: $\pm 15 \text{ ppm}/^\circ \text{C}$

-Linealidad: $\pm 2 \text{ ppm}/^\circ \text{C}$

Reloj interno: 2.6 MHz.

Tensión de Referencia interna: 6.3 volt \pm 15 mV

-Coeficiente térmico: \pm 10 ppm/ $^{\circ}$ C

Ejemplo: hallar el error del convertidor AD5240 en las siguientes condiciones: rango de temperaturas de operación: 25 a 55 $^{\circ}$ C ($\Delta T = 30^{\circ}$ C), $\Delta V_{CC} = 1\%$. El convertidor usa la fuente de referencia interna y se ha programado para un rango total F.S.R. de 10 volt (F.S. = \pm 5 volt). Suponga que los errores iniciales de offset y ganancia han sido cancelados a 25 $^{\circ}$ C.

1) El error de cuantización es inherente al proceso de cuantización y como tal, no puede ser reducido. Este error es de 1/2 LSB: $1/2 \text{ LSB} = 0.012 \%$

2) Error de linealidad: $1/2 \text{ LSB} = 0.012 \%$

3) Errores debidos al cambio de temperatura:

$$\text{Error de offset} = 15 \frac{\text{ppm}}{^{\circ}\text{C}} * 30^{\circ}\text{C} = 450 \text{ ppm} \rightarrow 0.045 \% \quad 0.045 \%$$

$$\text{Error de ganancia} = 30 \frac{\text{ppm}}{^{\circ}\text{C}} * 30^{\circ}\text{C} = 900 \text{ ppm} \rightarrow 0.09 \% \quad 0.090 \%$$

$$\text{Error de linealidad} = 2 \frac{\text{ppm}}{^{\circ}\text{C}} * 30^{\circ}\text{C} = 60 \text{ ppm} \rightarrow 0.006 \% \quad 0.006 \%$$

4) Error por variación de fuente de poder:

$$\text{Error} = \frac{0.004 \% \text{ F.S.R.}}{\% \Delta V_{CC}} * 1 \% = 0.004 \% \quad 0.004 \%$$

5) Error por variación de la tensión de referencia:

$$\text{Error} = 10 \frac{\text{ppm}}{^{\circ}\text{C}} * 30^{\circ}\text{C} = 300 \text{ ppm} \rightarrow 0.03 \% \quad 0.030 \%$$

Total 0.199 %

En este convertidor 1 LSB = 0.024 %. Esto es, por efecto de las imperfecciones del convertidor y la variación de temperatura y de la fuente de polarización se pierden:

$$\text{LSB perdidos (niveles)} = \frac{0.199}{0.024} = 8.29 \rightarrow 9 \text{ LSB}$$

Para representar estos 9 niveles se requieren 4 bits. Esto es, los últimos 4 bits no contendrán información confiable. La resolución útil del convertidor es de 8 bits.

Selección de Convertidores A/D. En el proceso de selección de un convertidor A/D es necesario definir los requisitos de la aplicación en los siguientes aspectos:

-rango de la señal de entrada. Frecuentemente es necesario atenuar o amplificar la señal para llevarla a un rango de variación adecuado.

-precisión requerida. Puede emplearse la metodología de la sección anterior para evaluar la magnitud del error total que puede esperarse con un convertidor dado, en las peores condiciones de temperatura y polarización, incluyendo en el análisis el efecto de todos los elementos y dispositivos a partir del transductor.

-velocidad de conversión. Debe incluirse en la determinación de la rata máxima de conversión el tiempo de conversión del convertidor así como también los tiempos requeridos para operación y estabilización de otros circuitos adicionales (multiplexador y circuito de muestreo y retención).

-forma de variación de la señal de entrada. Si la señal de entrada varía lentamente no se requerirá el uso de circuitos de muestreo y retención.

-ruido presente en la señal. Los convertidores basados en integradores tienen tiempos de conversión elevados pero, a la vez, son relativamente insensibles a ruido de alta frecuencia.

-código digital de salida y compatibilidad lógica. La salida de un convertidor A/D puede estar dispuesta en forma paralela o serial. Algunos convertidores tienen salidas directamente compatibles con microprocesadores o familias lógicas específicas.

Uso de circuito de muestreo y retención. El sistema de conversión A/D deberá incluir un circuito de muestreo y retención si la señal analógica de entrada varía excesivamente durante el tiempo de conversión.

Un criterio de uso bastante generalizado es que la señal no debe variar más de 1/2 LSB durante el tiempo de conversión. Con este criterio, considerando un convertidor binario bipolar de n bits y con una rango F.S.R., la señal de entrada V_{ANA} no puede tener una pendiente que exceda:

$$\left. \frac{dV_{ANA}}{dt} \right|_{\max} \leq \left(\frac{1}{2} \right) \frac{\text{F.S.R.}}{2^n} \frac{1}{T_c}$$

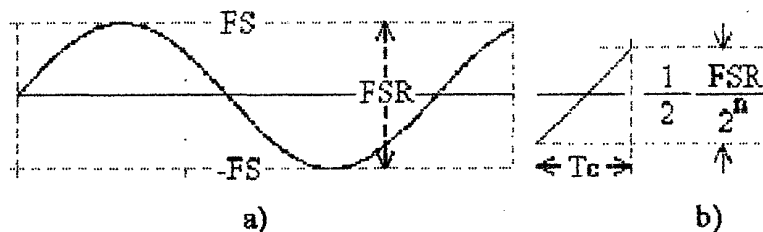


Figura 36. Variación de la señal analógica durante el tiempo de conversión: a) señal, b) punto de máxima pendiente.

Consideremos una señal de entrada sinusoidal.

$$V_{ANA} = A \sin \omega t$$

la pendiente de esta señal es:

$$m = \frac{dV_{ANA}}{dt} = A * w \text{ sen } wt$$

esta pendiente tiene un valor máximo de:

$$m(\text{máx}) = a * w$$

Entonces, si se desea que la señal no varía más de 1/2 LSB, se debe cumplir:

$$m(\text{máx}) = A * w = \left. \frac{dV_{ANA}}{dt} \right|_{\text{max}} \leq \left(\frac{1}{2} \right) \frac{\text{F.S.R.}}{2^n} \frac{1}{T_c}$$

Ejemplo: Determinar la frecuencia máxima de una señal sinusoidal de la máxima amplitud que puede ser aplicada a a la entrada de un convertidor A/D de 12 bits con un rango de conversión de ± 5 volt (F.S.R. = 10 volt) y un tiempo de conversión de 15 us, si se desea que la señal de entrada no varía más de 1/2 LSB durante la conversión.

Si la señal tiene una amplitud A igual al valor de F.S. del convertidor (5 volt) se tendrá:

$$f \leq \frac{1}{2 \pi * 2^n * T_c} = 2.59 \text{ Hz}$$

Si la señal no es senoidal se debe usar el criterio de la pendiente máxima de V_{ANA} .

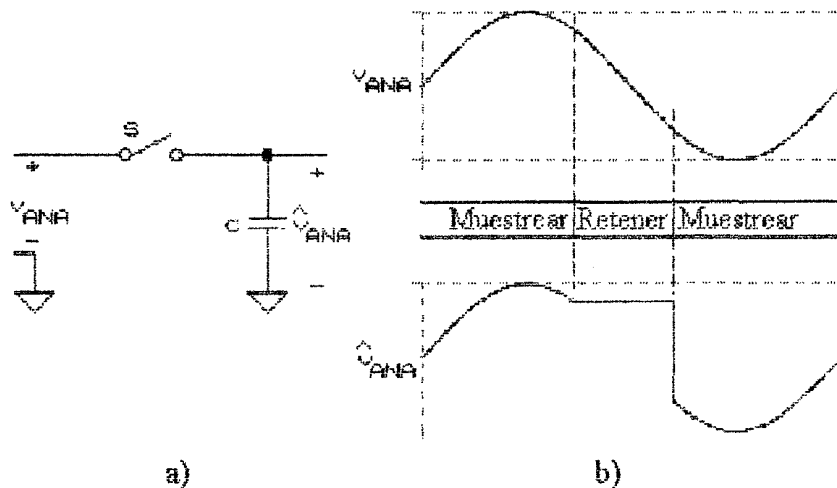


Figura 37. Muestreo y retención. a) Circuito, b) formas de onda.

Circuitos de muestreo y retención. Un circuito de muestreo y retención tiene dos modos de operación :

-muestreo. En este modo, la señal de salida es idéntica a la señal de entrada. En el circuito de la figura la operación en el modo de muestreo ocurre cuando la señal de control es alta.

-retención. Al recibir un comando de retención el circuito presenta en su salida un nivel constante igual al valor de la señal de entrada en el instante inmediatamente anterior a

la llegada del comando de retención. En el esquema de la figura, el comando de retención ocurre cuando la señal de control toma el nivel bajo.

Se fabrican circuitos de muestreo y retención en forma integrada. En éstos, la entrada de control es compatible con señales generadas por una o varias familias lógicas.

Circuitos prácticos. En esta sección se presentan los esquemas más comunes de circuitos de muestreo y retención.

Circuito de muestreo y retención básico. El esquema de la figura muestra un circuito simple de muestreo y retención que usa un JFET operando como switch controlado mediante la tensión V_c . En el modo de muestreo el JFET conduce (switch cerrado). El condensador se estará cargando permanentemente al valor presente en la entrada analógica y la señal de salida será igual a la señal de entrada. Al entrar el JFET en corte (switch se abre), el circuito entra al modo de retención. El condensador retiene el valor de V_{ANA} justo antes de la apertura del switch.

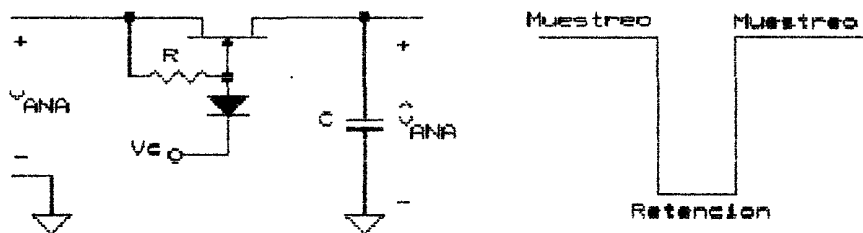


Figura 38. Circuito de muestreo y retención básico.

En aplicaciones no muy exigentes opera satisfactoriamente si el circuito que entrega V_{ANA} tiene un impedancia baja de salida y el circuito conectado en su salida tiene una impedancia de entrada elevada.

JFET como switch. En un circuito de muestreo y retención un JFET puede ser empleado como switch si el mismo opera en las región de corte (switch abierto) y en la región óhmica (switch cerrado). La operación del JFET como switch puede ser explicada en forma simple al usar una carga resistiva como en el circuito de la figura 39.

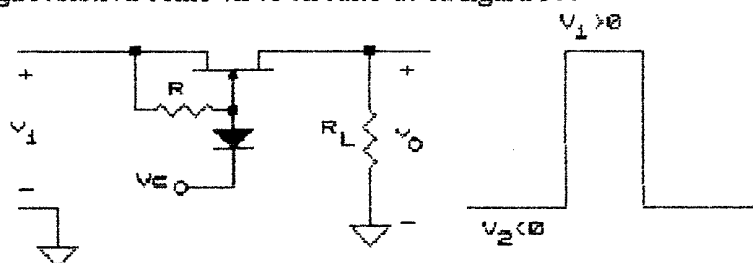


Figura 39. JFET como switch.

Switch cerrado. El JFET conducirá si la tensión $V_c = V_1 > 0$. En estas condiciones el diodo estará cortado. Para reducir la resistencia del JFET en conducción es conveniente que éste funcione con una tensión V_{GS} próxima a cero, como ocurre en este circuito. La caída de señal

en el JFET será pequeña si la resistencia de carga es grande comparada con la resistencia del JFET en conducción. Si la tensión de entrada es positiva, el terminal de la izquierda del JFET funcionará como drenador, en caso contrario este terminal operará como fuente, la tensión positiva de entrada debe ser menor que $V_1 + 0.7$ para evitar que el diodo entre en conducción.

Switch abierto. El JFET operará en corte si $v_{GS} < V_p$:

-si la tensión de entrada es negativa el terminal izquierdo del JFET operará como fuente (S). El JFET se comportará como un circuito abierto siempre que la tensión de entrada nunca se haga menor que $V - V_p$, donde V es la tensión negativa aplicada a la puerta (respecto de tierra) y V_p es la tensión umbral del JFET, ($V_p < 0$).

-si la tensión de entrada es positiva, el terminal derecho operará como fuente (S). En este caso no hay restricciones para la magnitud de la señal de entrada.

Las restricciones anteriores también aplican en el caso de la carga capacitiva presente en el caso de un circuito de muestreo y retención de la figura 38. La forma de generar la señal de control, a partir de una señal digital convencional se muestra en la figura 40.

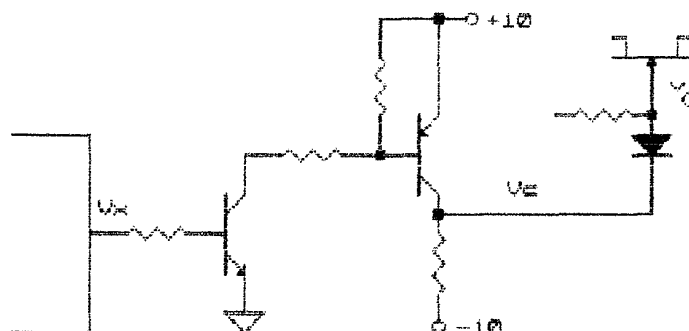


Figura 40. Generación de la señal de control.

En este caso, la tensión de control es generada por un circuito digital convencional. Si la señal V_x es alta, los transistores T_1 y T_2 conducirán y la tensión aplicada al cátodo del diodo será cercana a $-V_{CC}$. El diodo también conducirá y v_G será cercano a $-V_{CC}$ forzando el corte del JFET. Si V_x es baja los transistores T_1 y T_2 estarán cortados y la tensión aplicada al cátodo del diodo será próxima a $+V_{CC}$. El diodo se abrirá y v_{GS} valdrá aproximadamente cero volt. En estas condiciones el JFET operará en conducción (región triódica).

Circuito mejorado. El circuito de la siguiente figura incluye una resistencia para reducir el efecto de carga sobre el circuito que produce V_{ANA} . Además, el amplificador operacional en la salida, además de reducir la impedancia de salida, impide que C se descargue significativamente a través de la carga durante el intervalo de retención. La corriente de polarización de este amplificador operacional debe ser lo más baja posible. Es conveniente usar un amplificador operacional con entrada FET.

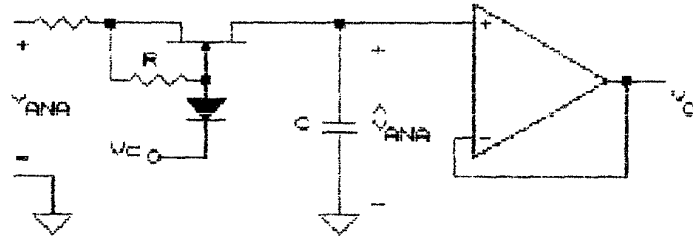


Figura 41. Circuito perfeccionado.

La resistencia en la entrada reduce la velocidad con que la tensión en C_H puede seguir a la velocidad de entrada. Por esto, se debe preferir usar este circuito en situaciones en que V_{ANA} varíe lentamente.

Circuito con dos amplificadores operacionales. Existen varias versiones de circuitos de muestreo y retención con dos amplificadores operacionales. En el circuito de la figura se usa un amplificador operacional adicional en conexión seguidor de voltaje para aumentar la impedancia de entrada.

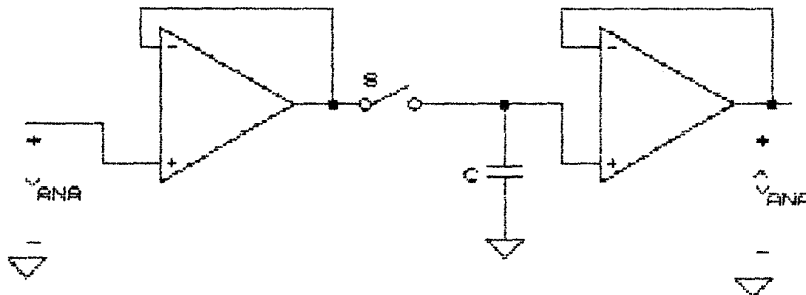


Figura 42. Circuito con dos amplificadores operacionales.

En el intervalo de muestreo, C_H se carga a V_{ANA} desde un impedancia muy baja. Al abrirse el switch, en el intervalo de retención, C_H mantiene entre sus bornes la tensión presente en la entrada en el momento de apertura del switch. La corriente de polarización del segundo amplificador operacional debe ser suministrada por el condensador. Así, este amplificador operacional debe ser elegido entre aquellos que tengan una muy baja corriente de polarización.

Especificaciones de circuitos de muestreo y retención. La respuesta típica de un circuito de muestreo y retención se muestra en la figura.

Figura 43. Respuesta típica de un circuito de muestreo y retención.

Tiempos:

-Tiempo de adquisición. (Acquisition time). Es el tiempo que tarda el circuito para producir en su salida una señal que no difiera de la señal de entrada en más de un cierto error previamente especificado.

El tiempo de adquisición se mide desde el inicio de la señal de muestreo y, normalmente incluye el tiempo de estabilización. Este tiempo, sumado con el tiempo de apertura, establecen el mínimo intervalo de tiempo que debe transcurrir entre muestras.

Figura 44. Tiempo de apertura.

-Tiempo de apertura: (Aperture time/aperture delay). Es el tiempo que tarda el switch en abrirse una vez que se ha emitido el comando de retener (hold)

Otras especificaciones:

-Fuga de carga (droop rate). Es el cambio de voltaje de salida como resultado de pérdida de carga en C_H debido a corrientes indeseables en el intervalo de retención. El signo del cambio de tensión depende del sentido de las corrientes indeseables. En el circuito de la figura 44, la carga en C durante el período de retención se ve afectada por la resistencia del

switch, la resistencia de fuga del condensador y la corriente de polarización del amplificador operacional.

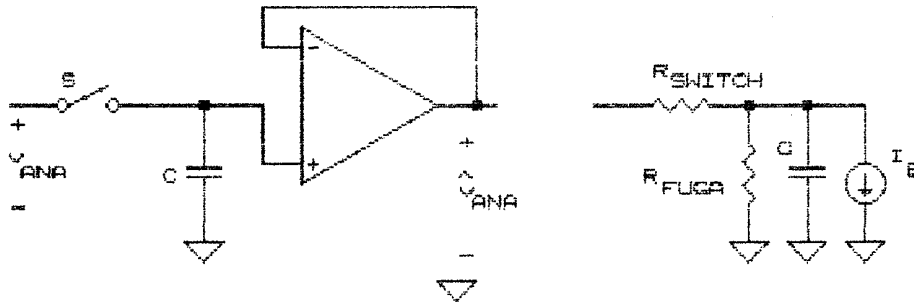


Figura 45. Fuga de carga.

-Acoplamiento parásito (feedthrough). Es la fracción de la variación de la señal de entrada que aparece en la salida durante el intervalo de retención. Se debe a acoplamiento capacitivo parásito desde la entrada del circuito hasta el condensador de almacenamiento C_H .

-Pedestal (charge transfer). Es la diferencia entre el último valor de V_{ANA} durante el intervalo de muestreo y el valor de tensión almacenado en C_H . Se debe a transferencia de carga desde la entrada de control al ocurrir el comando de retención.

-Ganancia. En circuitos de muestreo y retención integrados, el valor de la ganancia se ve afectado por variaciones en la ganancia de los amplificadores operacionales internos y la resistencia del switch analógico. Además, la ganancia presenta efectos no lineales.

-Offset de los amplificadores operacionales internos. Debe considerarse la tensión de offset y su variación con la temperatura y la polarización.

Error total del circuito de muestreo y retención. Para determinar el error total en condiciones estacionarias en un circuito de muestreo y retención es necesario considerar los siguientes aspectos:

-Error de atenuación. La impedancia interna de la fuente de señal, forma un divisor de tensión con la impedancia de entrada del circuito de muestreo y retención produciendo una atenuación que puede ser importante. La resistencia en conducción de los switches analógicos puede ser importante en implementaciones discretas de circuitos de muestreo y retención.

-Errores de ganancia. La ganancia puede verse afectada por efectos no lineales en el circuito de muestreo y retención así como también por variaciones de ganancia en los amplificadores operacionales.

-Errores debidos a corriente de polarización de amplificadores operacionales, resistencia de fuga del capacitor y switches analógicos.

Criterios de selección de circuitos de muestreo y retención: En el proceso de selección de un circuito de muestreo y retención se deben considerar los siguientes aspectos:

-Rango de variación de la señal analógica de entrada. El circuito a emplear debe ser capaz de manejar la señal de entrada.

-Velocidad de cambio de la señal de entrada/frecuencia de muestreo requerida. Estas cantidades definen el máximo tiempo de adquisición y apertura tolerable para el circuito de muestreo.

-Nivel de precisión requerido. El error total debe ser compatible con los requisitos de la aplicación.

Componentes. Se debe prestar atención a los siguientes aspectos:

-Condensador de almacenamiento C_H . El condensador debe ser elegido de modo que su resistencia de fuga sea lo más elevada posible. Otro efecto importante que puede afectar su funcionamiento en esta aplicación es el de absorción dieléctrica. Este efecto consiste en que un condensador exhibe cierta forma de memoria y, en cualquier instante dado, su tensión depende, en alguna medida, de las tensiones pasadas. Los condensadores más adecuados son de teflo y poliestireno.

-Estabilidad en las fuentes de polarización. Las variaciones en la tensión de la fuente de alimentación producen variaciones en la tensión de salida del circuito.

-Switch. Por lo general, en implementaciones discretas de un circuito de muestreo y retención se usa un FET como switch. Este opera en corte (switch abierto) y en la región triódica (switch cerrado). La señal de control debe estar dimensionada de modo que el circuito funcione en forma apropiada independientemente de la señal de entrada.

Implementación del switch con un circuito integrado CMOS. Se fabrican dos switches CMOS de bajo costo (tipos 4016 y 4066), que pueden ser usados en la implementación de circuitos de muestreo y retención.

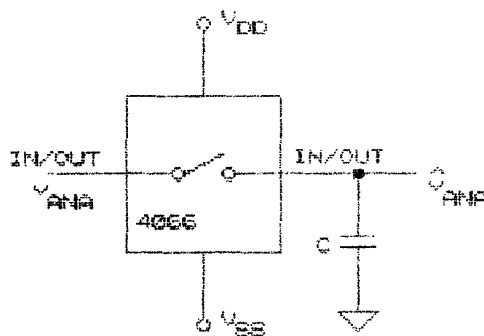


Figura 46. Circuito de muestreo y retención basado en switch CMOS.

Una tensión de control cercana a V_{DD} forzará el cierre del switch. Por el contrario, para tensiones de control próximas a V_{SS} el switch estará abierto. La señal de entrada deberá estar comprendida en el rango V_{SS} , V_{DD} .